

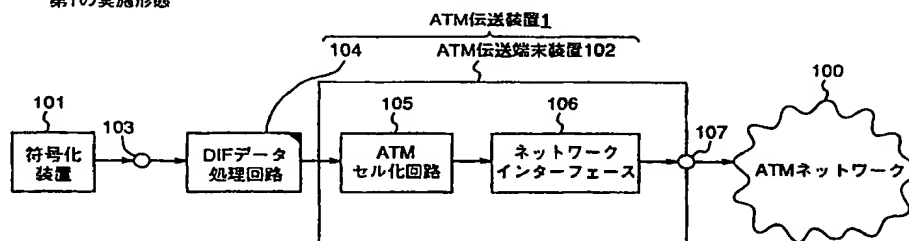
特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6 H04L 12/28		A1	(11) 国際公開番号 WO98/52323
			(43) 国際公開日 1998年11月19日(19.11.98)
(21) 国際出願番号 PCT/JP98/02101		(74) 代理人 小林正明(KOBAYASHI, Masaaki) 〒666-0137 兵庫県川西市湯山台2-81-1 Hyogo, (JP) 弁理士 青山 葆, 外(AOYAMA, Tamotsu et al.) 〒540-0001 大阪府大阪市中央区城見1丁目3番7号 IMPビル 青山特許事務所 Osaka, (JP) (81) 指定国 CN, JP, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書	
(22) 国際出願日 1998年5月13日(13.05.98)			
(30) 優先権データ 特願平9/121364 1997年5月13日(13.05.97) JP 特願平10/59413 1998年3月11日(11.03.98) JP			
(71) 出願人 (米国を除くすべての指定国について) 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.)[JP/JP] 〒571-8501 大阪府門真市大字門真1006番地 Osaka, (JP)			
(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 東田真明(HIGASHIDA, Masaaki)[JP/JP] 〒570-0011 大阪府守口市金田町2-12-3-203 Osaka, (JP) 森岡芳宏(MORIOKA, Yoshihiro)[JP/JP] 〒639-0261 奈良県香芝市尼寺3-476-51 Nara, (JP) 西野正一(NISHINO, Shouichi)[JP/JP] 〒582-0007 大阪府柏原市上市1-4-26 Osaka, (JP) 大山哲史(OOYAMA, Satoshi)[JP/JP] 〒659-0033 兵庫県芦屋市高浜町7-1-323 Hyogo, (JP)			

(54)Title: PACKET TRANSMITTER

(54)発明の名称 パケット伝送装置

a
第1の実施形態



- | | |
|-----------------------------------|-------------------------------------|
| 1 ... ATM transmitter | 104 ... DIF data processing circuit |
| 100 ... ATM network | 105 ... ATM cellularizing circuit |
| 101 ... Encoder | 106 ... Network interface |
| 102 ... ATM transmission terminal | a ... 1st mode |

(57) Abstract

A packet transmitter for transmitting, in the form of a packet, a transmission unit including a data sequence which comprises fixed length blocks formed by dividing predetermined data and to each of which block information representing the type of block is added. A DIF data processing circuit (104) eliminates predetermined redundant information from block information belonging to a plurality of blocks in accordance with an inputted data sequence, generates a transmission header having a new identifier, and generates a transmission unit having the generated transmission header. Then, a transmission terminal (102) transmits the generated transmission unit through a transmission line. At this time, the DIF data processing circuit (104) generates a new identifier by permitting a predetermined set of block information to represent a plurality of sets of block information and generates a transmission header having the generated identifier, or permits one set of block information to represent the same block information, or eliminates redundant information which includes at least one of preliminary data and invalid data.

所定のデータを、ブロックの種類を特定するためのブロック情報がそれぞれ付加された固定長の複数のブロックに分割して配置したデータ列を含む伝送ユニットをパケットの形式で伝送するパケット伝送装置が開示される。D I Fデータ処理回路(104)は、入力されるデータ列に基づいて、複数のブロックに属するブロック情報から所定の冗長情報を削除することにより新たな識別子を有する伝送ヘッダを生成して、生成された伝送ヘッダを有する伝送ユニットを生成する。次いで、伝送端末装置(102)は、上記生成された伝送ユニットを伝送路を介して伝送する。ここで、D I Fデータ処理回路(104)は、複数のブロック情報を所定の1つのブロック情報で代表させることにより新たな識別子を生成して、生成された識別子を有する伝送ヘッダを生成し、又は、同一のブロック情報を1つのブロック情報で代表させ、もしくは、予備データと無効データのうちの少なくとも一方を含む冗長情報を削除する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AL	アルバニア	FI	フィンランド	LR	リベリア	SK	スロヴァキア
AM	アルメニア	FR	フランス	LS	レソト	SL	シエラ・レオネ
AT	オーストリア	GA	ガボン	LT	リトアニア	SN	セネガル
AU	オーストラリア	GB	英国	LU	ルクセンブルグ	SZ	スワジランド
AZ	アゼルバイジャン	GD	グレナダ	LV	ラトヴィア	TD	チャード
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	MC	モナコ	TG	トーゴ
BB	バルバドス	GH	ガーナ	MD	モルドヴァ	TJ	タジキスタン
BE	ベルギー	GM	ガンビア	MG	マダガスカル	TM	トルクメニスタン
BF	ブルキナ・ファソ	GN	ギニア	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BG	ブルガリア	GW	ギニア・ビサオ		共和国	TT	トリニダード・トバゴ
BJ	ベナン	GR	ギリシャ	ML	マリ	UA	ウクライナ
BR	ブラジル	HR	クロアチア	MN	モンゴル	UG	ウガンダ
BY	ベラルーシ	HU	ハンガリー	MR	モーリタニア	US	米国
CA	カナダ	ID	インドネシア	MW	マラウイ	UZ	ウズベキスタン
CF	中央アフリカ	IE	アイルランド	MX	メキシコ	VN	ヴェトナム
CG	コンゴ	IL	イスラエル	NE	ニジェール	YU	ユーゴスラビア
CH	スイス	IS	アイスランド	NL	オランダ	ZW	ジンバブエ
CI	コートジボアール	IT	イタリア	NO	ノルウェー		
CM	カメルーン	JP	日本	NZ	ニュージーランド		
CN	中国	KE	ケニア	PL	ポーランド		
CU	キューバ	KG	キルギスタン	PT	ポルトガル		
CY	キプロス	KP	北朝鮮	RO	ルーマニア		
CZ	チェコ	KR	韓国	RU	ロシア		
DE	ドイツ	KZ	カザフスタン	SD	スーダン		
DK	デンマーク	LC	セントルシア	SE	スウェーデン		
EE	エストニア	LI	リヒテンシュタイン	SG	シンガポール		
ES	スペイン	LK	スリ・ランカ	SI	スロヴェニア		

明 細 書

パケット伝送装置

技術分野

本発明は、圧縮符号化された画像データ、音声データ、及び付加情報データ、又は一般データをパケットの形式で伝送路を介して伝送するパケット伝送装置に関する。

背景技術

近年、光ファイバケーブル等を利用した通信システムの発達で、通信容量が大幅に拡大し、コンピュータ等で使用するデジタルデータだけではなく、例えば画像信号や音声信号及びその他の付加情報をデジタル化して伝送するデジタル伝送システムが実用化されている。

例えば、非同期転送モード（A T M:Asynchronous Transfer Mode；以下、A T Mという。）等を用いれば、1 5 5 メガビット／秒以上の伝送が可能となり、A T M伝送路を介して画像データを伝送するA T M伝送システムが実用化されている。

A T M 伝 送 シ ス テ ム に 関 し て は 、 I T U - T （ International Telecommunication Union-Telecommunication Standardization Sector：国際電気通信連合－電気通信標準化部門）、及び、The ATM Forum 等で審議され、規格化がされており、関連書物も多数発行されている。

例えば、ビデオ信号をパケット化して通信する従来例としては、米国特許第 5, 1 5 9, 4 5 2 号（以下、従来例という。）に開示されている。

従来例では、パケットロス位置（パケット損失情報）を知り消失訂正を行う場合の例が、従来例の図 6 A 及び図 6 B に示されており、また、誤り訂正を行う場合の例が従来例の図 7 に示されている。

しかしながら、上記のような従来例の構成では、以下のような問題点を

有していた。

(1) 例えばA T Mによる通信を行う場合、セルと呼ばれる53バイトのパケット単位で伝送が行われるが、パケットロス(セルロス)が起こった場合、A T M網内でセルが紛失してしまうので、受信端末で受信されたセルそのものの情報からは、セルロスがA T M網内で起こったことを検出できないという問題点を有していた。また、上記理由により当然のことながら、セルロスが起こった位置も特定できないと言う問題点を有していた。従って、誤り(セルロス)位置を特定することが必須である消失訂正はセルロスが起こったことを網側から受信端末に通知する特殊な構成要件を設けなければ不可能である。

(2) 従来例の図7に示されている、誤り訂正の手法を使えば、誤り位置の特定と訂正が可能であるが、付加する誤り訂正用のパリティ量に対する誤り訂正可能な誤り個数、すなわち、総伝送量と誤り訂正の個数(誤り訂正能力)の観点からは誤り訂正を行った場合は効率が悪いという問題点を有していた。

また、総伝送量が増えると、A T M網が混雑するのでセルロスが起こる確率が高くなってしまうという問題点も有していた。

(3) A T Mでは、A T Mアダプテーションレイヤ(ATM Adaptation Layer ; 以下、A A Lという。)がI T U-T勧告の規格で規定されており、対応した機器も多数あるが、従来例では汎用のA A Lの機能を使用していないので、例えばA A Lタイプ5の誤り検出を利用できないという問題点を有していた。また、例えば一連のビデオ信号の区切りを示す信号を独自で入力しなければならないなどの機能を、独自で入力することが必須であり、伝送効率が悪く、また、汎用機器を用いることができないので、相互接続性がないという問題点を有していた。

また汎用機器を用いることができないので、処理回路規模が大きく、コストが非常に高いという問題点を有していた。

本発明の第1の目的は、パケットロス（セルロス）の確率を低くしパケットロス（セルロス）に強い伝送を可能とすることができ、リアルタイム通信の信頼性を向上させることが可能であるパケット伝送装置を提供することにある。

また、本発明の第2の目的は、通信帯域を有効に利用し、ATMレイヤにおける上位レイヤから容易に利用可能とし、また現在普及しているATM機器を容易に利用可能であるパケット伝送装置を提供することにある。

さらに、本発明の第3の目的は、誤り訂正又は誤り検出を行い付加したパリティ量に対する誤り訂正効率誤り訂正能力を向上させ、ATMレイヤにおける上位レイヤから容易に利用可能とし、また現在普及しているATM機器を容易に利用で互換性のあるパケット伝送装置を提供することにある。

またさらに、本発明の第4の目的は、従来例に比較して装置構成が簡単であって安価であるパケット伝送装置を提供することにある。

発明の開示

第1の発明に係るパケット伝送装置は、所定のデータを、ブロックの種類を特定するためのブロック情報がそれぞれ付加された固定長の複数のブロックに分割して配置したデータ列を含む伝送ユニットをパケットの形式で伝送するパケット伝送装置において、

上記データ列に基づいて、複数のブロックに属するブロック情報から所定の冗長情報を削除することにより新たな識別子を有する伝送ヘッダを生成して、生成された伝送ヘッダを有する伝送ユニットを生成する生成手段と、

上記生成手段によって生成された伝送ユニットを伝送路を介して伝送する伝送手段とを備えたことを特徴とする。

また、上記パケット伝送装置において、上記生成手段は、好ましくは、複数のブロック情報を所定の1つのブロック情報で代表させることにより新たな識別子を生成して、生成された識別子を有する伝送ヘッダを生成する。

さらに、上記パケット伝送装置において、上記生成手段は、好ましくは、同一のブロック情報を1つのブロック情報で代表させる。

またさらに、上記パケット伝送装置において、上記生成手段は、好ましくは、予備データと無効データのうちの少なくとも一方を含む冗長情報を削除する。

また、上記パケット伝送装置において、上記伝送ヘッダは、好ましくは、タイムコードと、シリアル番号とを含む。

さらに、上記パケット伝送装置において、上記伝送手段は、好ましくは、非同期転送モードのアダプテーションレイヤの機能としてAALタイプ1を用いたATM伝送方式で上記伝送ユニットを伝送する。

またさらに、上記パケット伝送装置において、上記伝送手段は、好ましくは、非同期転送モードのアダプテーションレイヤの機能としてAALタイプ5を用いたATM伝送方式で上記伝送ユニットを伝送する。

また、上記パケット伝送装置において、上記生成手段は、好ましくは、上記生成された伝送ユニットに対して、誤り訂正用パリティを付加した後、上記付加された誤り訂正用パリティを含むデータに対してインターリーブ処理を実行して、上記インターリーブ処理後のデータを伝送ユニットとして出力する。

さらに、上記パケット伝送装置において、上記生成手段は、好ましくは、

上記付加された誤り訂正用パリティを含むデータをマトリックス形状を有する記憶装置に上記マトリックスの第1の方向で書き込んだ後、上記記憶装置から上記マトリックスの第1の方向とは直交する第2の方向で読み出すことによりインターリーブ処理を実行する。

第2の発明に係るパケット伝送装置は、所定のデータを固定長の複数のブロックに分割して配置したデータ列を含む伝送ユニットをパケットの形式で伝送するパケット伝送装置において、

上記データ列を、第1のマトリックス形状を有する第1の記憶装置に上記第1のマトリックスの第1の方向で書き込んだ後、上記第1の記憶装置から上記第1のマトリックスの第1の方向とは直交する第2の方向で読み出すことにより第1のインターリーブ処理を実行して、上記第1のインターリーブ処理後のデータを第2の方向のデータ単位で出力する第1のインターリーブ処理手段と、

上記第1のインターリーブ処理手段から出力されるデータに対して、上記第2の方向のデータ単位毎に所定の誤り訂正用パリティを付加し、上記誤り訂正用パリティが付加されたデータを出力するパリティ付加手段と、

上記パリティ付加手段から出力されるデータを、第2のマトリックス形状を有する第2の記憶装置に、上記第1のマトリックスの第2の方向と一致する上記第2のマトリックスの第4の方向で書き込んだ後、上記第2の記憶装置から上記第2のマトリックスの第4の方向とは直交する第3の方向で読み出すことにより第2のインターリーブ処理を実行して、上記第2のインターリーブ処理後のデータを第3の方向のデータ単位毎に出力する第2のインターリーブ処理手段と、

上記第2のインターリーブ処理手段から出力されるデータを、第3の方向のデータ単位を伝送ユニットとして伝送路を介して伝送する伝送手段と

を備えたことを特徴とする。

また、上記パケット伝送装置において、好ましくは、上記第1のインターリーブ処理手段の前段に設けられ、上記データ列に基づいて、複数のブロックに属するブロック情報から所定の冗長情報を削除することにより新たな識別子を有する伝送ヘッダを生成して、生成された伝送ヘッダを有する伝送ユニットを含むデータを上記第1のインターリーブ処理手段に出力する生成手段をさらに備える。

さらに、上記パケット伝送装置において、上記伝送手段は、好ましくは、非同期転送モードのアダプテーションレイヤの機能としてAALタイプ1を用いたATM伝送方式で上記伝送ユニットを伝送する。

またさらに、上記パケット伝送装置において、上記伝送手段は、好ましくは、非同期転送モードのアダプテーションレイヤの機能としてAALタイプ5を用いたATM伝送方式で上記伝送ユニットを伝送する。

第3の発明に係るパケット伝送装置は、所定のデータ列に対して、データ列が並置された方向に、誤り検出用パリティを付加して、上記誤り検出用パリティが付加されたデータ列を所定のデータ単位で出力する第1のパリティ付加手段と、

上記第1のパリティ付加手段から出力されるデータ列を、第1のマトリックス形状を有する第1の記憶装置に上記第1のマトリックスの第1の方向で書き込んだ後、上記第1の記憶装置から上記第1のマトリックスの第1の方向とは直交する第2の方向で読み出すことにより第1のインターリーブ処理を実行して、上記第1のインターリーブ処理後のデータを第2の方向のデータ単位で出力する第1のインターリーブ処理手段と、

上記第1のインターリーブ処理手段から出力されるデータに対して、上記第2の方向のデータ単位毎に所定の誤り訂正用パリティを付加し、上記

誤り訂正用パリティが付加されたデータを入力する第2のパリティ付加手段と、

上記第2のパリティ付加手段から出力されるデータを、第2のマトリックス形状を有する第2の記憶装置に、上記第1のマトリックスの第2の方向と一致する上記第2のマトリックスの第4の方向で書き込んだ後、上記第2の記憶装置から上記第2のマトリックスの第4の方向とは直交する第3の方向で読み出すことにより第2のインターリーブ処理を実行して、上記第2のインターリーブ処理後のデータを第3の方向のデータ単位毎に出力する第2のインターリーブ処理手段と、

上記第2のインターリーブ処理手段から出力されるデータを、第3の方向のデータ単位を伝送ユニットとして伝送路を介して伝送する伝送手段とを備えたことを特徴とする。

また、上記パケット伝送装置において、好ましくは、上記第1のパリティ付加手段の前段に設けられ、上記データ列に基づいて、複数のブロックに属するブロック情報から所定の冗長情報を削除することにより新たな識別子を有する伝送ヘッダを生成して、生成された伝送ヘッダを有する伝送ユニットを含むデータを上記第1のパリティ付加手段に出力する生成手段をさらに備える。

第4の発明に係るパケット伝送装置は、所定のデータを固定長の複数のブロックに分割して配置したデータ列を含む伝送ユニットをパケットの形式で伝送するパケット伝送装置において、

上記データ列に基づいて、複数のブロックに属するブロック情報から新たな識別子を有する複数の伝送ヘッダを生成して、生成された複数の伝送ヘッダを有する伝送ユニットを含むデータを出力する生成手段と、

上記生成手段から出力されるデータを、第1のマトリックス形状を有す

る第 1 の記憶装置に上記第 1 のマトリックスの第 1 の方向で書き込んだ後、上記第 1 の記憶装置から上記第 1 のマトリックスの第 1 の方向とは直交する第 2 の方向で読み出すことにより第 1 のインターリーブ処理を実行して、上記第 1 のインターリーブ処理後のデータを第 2 の方向のデータ単位で出力する第 1 のインターリーブ処理手段と、

上記第 1 のインターリーブ処理手段から出力されるデータに対して、上記第 2 の方向のデータ単位毎に所定の誤り訂正用パリティを付加し、上記誤り訂正用パリティが付加されたデータを出力するパリティ付加手段と、

上記パリティ付加手段から出力されるデータを、第 2 のマトリックス形状を有する第 2 の記憶装置に、上記第 1 のマトリックスの第 2 の方向と一致する上記第 2 のマトリックスの第 4 の方向で書き込んだ後、上記第 2 の記憶装置から上記第 2 のマトリックスの第 4 の方向とは直交する第 3 の方向で読み出すことにより第 2 のインターリーブ処理を実行して、上記第 2 のインターリーブ処理後のデータを第 3 の方向のデータ単位毎に出力する第 2 のインターリーブ処理手段と、

上記第 2 のインターリーブ処理手段から出力されるデータを、第 3 の方向のデータ単位を伝送ユニットとして伝送路を介して伝送する伝送手段とを備え、

上記生成手段は、上記複数の伝送ヘッダがそれぞれ異なる、上記第 3 の方向のデータ単位に位置するように、上記複数の伝送ヘッダを、上記伝送ユニットを含むデータ中に配置することを特徴とする。

第 5 の発明に係るパケット伝送装置は、所定のデータを固定長の複数のブロックに分割して配置したデータ列を含む伝送ユニットをパケットの形式で伝送するパケット伝送装置において、

上記データ列に対して、所定のデータ単位毎に所定の誤り訂正用パリテ

ィを付加し、上記誤り訂正用パリティが付加されたデータを出力するパリティ付加手段と、

上記パリティ付加手段から出力されるデータを、マトリックス形状を有する記憶装置に、上記マトリックスの第1の方向で書き込んだ後、上記記憶装置から上記マトリックスの第1の方向とは直交する第2の方向で読み出すことによりインターリーブ処理を実行して、上記インターリーブ処理後のデータを第2の方向のデータ単位毎に出力するインターリーブ処理手段と、

上記インターリーブ処理手段から出力されるデータを、上記第2の方向のデータ単位を伝送ユニットとして伝送路を介して伝送する伝送手段とを備えたことを特徴とする。

また、上記パケット伝送装置において、上記第2の方向のデータ単位は、好ましくは、非同期転送モードのセルブロックの単位である。

さらに、上記パケット伝送装置において、好ましくは、上記パリティ付加手段の前段に設けられ、上記データ列に基づいて、複数のブロックに属するブロック情報から所定の冗長情報を削除することにより新たな識別子を有する伝送ヘッダを生成して、生成された伝送ヘッダを有する伝送ユニットを含むデータを上記パリティ付加手段に出力する生成手段をさらに備える。

第6の発明に係るパケット伝送装置は、所定のデータを、ブロックの種類を特定するためのブロック情報がそれぞれ付加された固定長の複数のブロックに分割して配置したデータ列を含む伝送ユニットをパケットの形式で伝送するパケット伝送装置において、

上記データ列に基づいて、複数のブロックに属するブロック情報から所定の冗長情報を削除することにより新たな識別子を有する伝送ヘッダを生

成して、生成された伝送ヘッダを有する伝送ユニットを生成する生成手段と、

上記生成手段によって生成された伝送ユニットを含むデータ列を、MPEGのトランスポートストリームパケットの単位で複数のパケットに分割して出力するパケット化手段と、

上記パケット化手段から出力される複数のパケットを伝送路を介して伝送する伝送手段とを備えたことを特徴とする。

図面の簡単な説明

図1は、本発明に係る第1の実施形態に係るATM伝送装置1の構成を示すブロック図である。

図2は、図1の符号化装置101から出力されるデータの構成を示すブロック構成図である。

図3は、図2のビデオDIFブロックの構成を示すブロック構成図である。

図4は、図1のDIFデータ処理回路104の構成を示すブロック図である。

図5は、図2のヘッダDIFブロック及びサブコードDIFブロックの構成を示すブロック構成図である。

図6は、図2のVAUXDIFブロック、オーディオDIFブロック及びビデオDIFブロックのうちのいずれか1つのブロック変換処理を示すブロック構成図である。

図7は、図4のDIFデータ処理回路104によって実行されるID変換処理を示すブロック構成図であり、図7(A)は、ID変換前の第1の3バイトデータを示すブロック構成図であり、図7(B)は、ID変換前の第2の3バイトデータを示すブロック構成図であり、図7(C)は、I

D変換前の第3の3バイトデータを示すブロック構成図であり、図7(D)は、ID変換後の4バイトデータを示すブロック構成図である。

図8は、本発明に係る第2の実施形態であるDIFデータ処理回路104aの構成を示すブロック図である。

図9は、図8のブロックバッファメモリ制御回路6003aによるパケットブロック生成方法を示すブロック構成図であり、図9(A)は、当該パケットブロック全体を示すブロック構成図であり、図9(B)は、図9(A)のヘッダ1703の内容を示すブロック構成図である。

図10は、本発明に係る第3の実施形態であるDIFデータ処理回路104bの構成を示すブロック図である。

図11は、図10のブロックバッファメモリ制御回路6003bによるパケットブロック生成方法を示すブロック構成図である。

図12は、本発明に係る第4の実施形態であるATM伝送装置1aの構成を示すブロック図である。

図13は、図12のDIFデータ処理回路104cの構成を示すブロック図である。

図14は、図13のブロックバッファメモリ制御回路6003cによるパケットブロック生成方法を示すブロック構成図である。

図15は、本発明に係る第5の実施形態であるDIFデータ処理回路104dの構成を示すブロック図である。

図16は、図15のDIFデータ処理回路104dを備えたATM伝送装置によって実行されるパケットブロック生成方法を示すブロック構成図である。

図17は、図15のインターリーブ制御回路1003によって実行されるインターリーブ方法を示すインターリーブバッファメモリ1002の記

憶内容を示すメモリマップ図である。

図 18 は、本発明に係る第 6 の実施形態である D I F データ処理回路 104 e の構成を示すブロック図である。

図 19 は、図 18 の D I F データ処理回路 1004 e を備えた A T M 伝送装置によって実行されるパケットブロック生成方法を示すブロック構成図である。

図 20 は、図 18 のインターリーブ制御回路 1003 a によって実行されるインターリーブ方法を示すインターリーブバッファメモリ 1002 の記憶内容を示すメモリマップ図である。

図 21 は、本発明に係る第 7 の実施形態の構成を示す図であって、図 21 (A) は、第 7 の実施形態の D I F データ処理回路 104 f の構成を示すブロック図であり、図 21 (B) は、図 21 (A) のブロックバッファメモリ 6002 からインターリーブバッファメモリ 3000 に入力されるデータを示すブロック構成図であり、図 21 (C) は、図 21 (A) のインターリーブ制御回路 3001 によって実行されるインターリーブ方法を示すインターリーブバッファメモリ 3000 の記憶内容を示すメモリマップ図であり、図 21 (D) は、図 21 (A) のパリティ付加回路 3002 からインターリーブバッファメモリ 3003 に入力されるデータを示すブロック構成図であり、図 21 (E) は、図 21 (A) のインターリーブ制御回路 3004 によって実行されるインターリーブ方法を示すインターリーブバッファメモリ 3003 の記憶内容を示すメモリマップ図である。

図 22 は、図 21 の D I F データ処理回路 104 f を備えた A T M 伝送装置において、セルロスが生じたときの誤り分散を示すブロック構成図である。

図 23 は、図 21 (A) の D I F データ処理回路 104 f のインターリ

ープ方法を示す図であって、図23(A)は、図21(A)のインターリーブ制御回路3001によって実行されるインターリーブ方法を示すインターリーブバッファメモリ3000の記憶内容を示すメモリマップ図であり、図23(B)は、図21(A)のインターリーブ制御回路3004によって実行されるインターリーブ方法を示すインターリーブバッファメモリ3003の記憶内容を示すメモリマップ図である。

図24は、図21(A)のインターリーブ制御回路3004によって実行されるインターリーブ方法を示すインターリーブバッファメモリ3003の記憶内容の詳細を示すメモリマップ図である。

図25は、図21(A)のDIFデータ処理回路104fを備えたATM伝送装置においてセルロスが発生したときの誤りセルを示すブロック構成図である。

図26は、本発明に係る第8の実施形態の構成を示す図であって、図26(A)は、第8の実施形態のDIFデータ処理回路104gの構成を示すブロック図であり、図26(B)は、図26(A)のブロックバッファメモリ6002からCRC付加回路3106に入力されるデータを示すブロック構成図であり、図26(C)は、図26(A)のCRC付加回路3106からインターリーブバッファメモリ3000に入力されるデータを示すブロック構成図であり、図26(D)は、図26(A)のインターリーブ制御回路3001によって実行されるインターリーブ方法を示すインターリーブバッファメモリ3000の記憶内容を示すメモリマップ図であり、図26(E)は、図26(A)のバリティ付加回路3002からインターリーブバッファメモリ3003に入力されるデータを示すブロック構成図であり、図26(F)は、図26(A)のインターリーブ制御回路3004によって実行されるインターリーブ方法を示すインターリーブバッ

ファメモリ 3003 の記憶内容を示すメモリマップ図である。

図 27 は、図 26 (A) の D I F データ処理回路 104 g によって実行されるインターリーブ方法を示すインターリーブバッファメモリ 3003 の記憶内容を示すメモリマップ図である。

図 28 は、図 26 (A) の D I F データ処理回路 104 g を備えた A T M 伝送装置によって実行されるパケットブロック生成方法を示すブロック構成図である。

図 29 は、本発明に係る第 9 の実施形態の構成を示す図であって、図 29 (A) は、第 9 の実施形態の D I F データ処理回路 104 h の構成を示すブロック図であり、図 29 (B) は、図 21 (A) のブロックバッファメモリ 6002 からインターリーブバッファメモリ 3000 に入力されるデータを示すブロック構成図であり、図 29 (C) は、図 21 (A) のインターリーブ制御回路 3001 によって実行されるインターリーブ方法を示すインターリーブバッファメモリ 3000 の記憶内容を示すメモリマップ図であり、図 29 (D) は、図 29 (A) のパリティ付加回路 3002 からインターリーブバッファメモリ 3003 に入力されるデータを示すブロック構成図であり、図 29 (E) は、図 29 (A) のインターリーブ制御回路 3004 によって実行されるインターリーブ方法を示すインターリーブバッファメモリ 3003 の記憶内容を示すメモリマップ図である。

図 30 は、図 29 (A) の D I F データ処理回路 104 h によって実行されるパケットブロック生成方法を示す図であって、図 29 (A) のインターリーブバッファメモリ 3003 に記憶された記憶内容の詳細を示すメモリマップ図である。

図 31 は、本発明に係る第 10 の実施形態である A T M 伝送装置 1 b の構成を示すブロック図である。

図32は、図31のATMセル化回路105aによって実行されるATMセル化処理を示すブロック構成図である。

図33は、本発明に係る第11の実施形態であるDIF処理回路104iの構成を示すブロック図である。

図34は、図33のDIFデータ処理回路104iを備えたATM伝送装置によって実行されるパケットブロック生成方法を示すブロック構成図である。

図35は、図33のインターリーブ制御回路1403によって実行されるパケットブロック生成方法を示すATMセルブロックシーケンスバッファメモリ1402の記憶内容を示すメモリマップ図である。

図36は、本発明に係る第12の実施形態の構成を示す図であって、図36(A)は、第12の実施形態のDIFデータ処理回路104jの構成を示すブロック図であり、図36(B)は、図36(A)のブロックバッファメモリ6002からインターリーブバッファメモリ2600入力されるデータを示すブロック構成図であり、図36(C)は、図36(A)のインターリーブ制御回路2601によって実行されるインターリーブ方法を示すインターリーブバッファメモリ2600の記憶内容を示すメモリマップ図であり、図36(D)は、図36(A)のパリティ付加回路2602からインターリーブバッファメモリ2603に入力されるデータを示すブロック構成図であり、図36(E)は、図36(A)のインターリーブ制御回路2604によって実行されるインターリーブ方法を示すインターリーブバッファメモリ2603の記憶内容を示すメモリマップ図である。

図37は、図36(A)のDIFデータ処理回路104jを備えたATM伝送装置のパケットブロック生成方法を示すブロック構成図である。

図38は、図36(A)のDIFデータ処理回路104jを備えたAT

M伝送装置のATMセル化回路105から出力されるデータ構造を示すブロック構成図である。

図39は、本発明に係る第13の実施形態であるATM伝送装置1cの構成を示すブロック図である。」

図40は、図39のATM伝送装置1cによって実行されるパケットブロック生成方法を示すブロック構成図である。

発明を実施するための最良の形態
実施形態

以下、本発明に係る実施形態について、図面を参照しながら詳細に説明する。

本発明に係る実施形態においては、通信網として用いるATMネットワークにおいて、民生用デジタルVTRの規格による、圧縮された画像データ、音声データ及び付加情報を伝送する一例について説明する。ここで、民生用デジタルVTRの規格として、HDデジタルVCR協議会で合意された「DVC規格」を用いる。

ATMの規格については、ITU-T勧告Q.2931と、ITU-T勧告I.363と、The ATM Forum、ATM User-Network Interface Specification Version 3.0(以下、UNI 3.0という。)と、The ATM Forum、ATM User-Network Interface Specification Version 3.1(以下、UNI 3.1という。)と、The ATM Forum、ATM User-Network Interface Specification Version 4.0(以下、UNI 4.0という。)等で規格化されて開示されている。

DVC規格については、「Specifications of Consumer-Use Digital VCRs using 6.3mm magnetic tape」December, 1994 HD DIGITAL VCR CONFERENCE、(以下、文献1という。)に記載されており、また、そのデジタルインタ

ーフェースについては、「Specifications of Digital Interface for Consumer Electric Audio/Video Equipment」December, 1995 HD DIGITAL VCR CONFERENCE、(以下、文献2という。)に記載されている。

なお、本発明に係る実施形態は、上記のDVC規格だけではなく、同一の画像圧縮方式を用いた放送局用の規格であるDVCPRO規格にも適用することができる。

DVCPRO規格については、「Proposed SMPTE Standard for Digital Video Recording with video compression at 25Mb/s 6.35mm Type D-7 Component Format 525/60 and 625/50(DVCPRO) : Final version December, 24 1997」に記載されている。

以下の説明において、DVC、DVC規格、DVCデータは、DVCPROと置き換えても支障がなく、本発明の要旨に影響を与えるものではない。

第1の実施形態

図1は、本発明に係る第1の実施形態に係るATM伝送装置1の構成を示すブロック図である。図1及び以下の図面において、各ブロックの右上の三角印は、その実施形態における特徴部分のブロックであることを示す。図1において、101は符号化装置、102はATM伝送端末装置、103はATM伝送装置102の入力端子、104はデジタルインターフェースデータ処理回路(以下、DIFデータ処理回路という。また、以下、デジタルインターフェースをDIFという。)、105はATMセル化回路、106はネットワークインターフェース、107はATMネットワーク100への出力端子である。ここで、ATM伝送装置1は、DIFデータ処理回路104と、ATM伝送端末装置102とを備えて構成され、ATM伝送端末装置102は、ATMセル化回路105と、ネットワークイ

ンターフェース 106 とを備えて構成される。

図 1 に示す構成において、符号化装置 101 からは、符号化された圧縮画像及び音声データ、及び付加情報を含むデータ列が出力され、入力端子 103 を介して ATM 伝送装置 1 の DIF データ処理回路 104 に入力される。DIF データ処理回路 104 は、詳細後述されるように、入力されるデータ列に基づいて、複数のブロックに属するブロック情報から所定の冗長情報を削除することにより新たな識別子を有する伝送ヘッダを生成して、生成された伝送ヘッダを有する伝送ユニットを生成して ATM セル化回路 105 に出力する。これに応答して、ATM セル化回路 105 は、入力される伝送ユニットを含むデータを ATM セルブロックに分割することにより伝送すべきパケットを生成してネットワークインターフェース 106 に出力する。これに応答して、ネットワークインターフェース 106 は、ATM ネットワーク 100 への送信機と受信機とを備え、入力されるパケットを出力端子 107 を介して ATM ネットワーク 100 に対して伝送することにより、伝送ヘッダが示す目的地の ATM 伝送端末装置に対して送信する。

図 2 は、図 1 の符号化装置 101 から出力されるデータの構成を示すブロック構成図であり、このデータの形態については上記文献 2 に記載されている。図 2 に示したデータストリームは DIF ブロックと呼ばれるブロックが複数個連続することにより構成される。図 2 に示した一連のデータシーケンスを繰り返すことにより、ビデオ信号の 1 フレームのデータが構成されるので、以下の説明において図 2 のデータストリームをサブシーケンスという。

図 2 において、H0 はヘッダ DIF ブロック、SC0、SC1 はサブコード DIF ブロック、VA0、VA1、VA2 はビデオ AUX DIF ブロ

ック（以下、VAUXという。）、A0、A1、・・・、A8はオーディオDIFブロックであり、後述するビデオDIFブロックに挿入されている。また、V0、V1、・・・、V134はビデオDIFブロックである。各DIFブロックは図3に示すように、3バイトのIDと77バイトのデータの計80バイトからなる。

ヘッダDIFブロックには、サブシーケンスに関する制御情報が搭載され、オーディオDIFブロックにはオーディオデータ及びオーディオに関する補助データが搭載され、ビデオDIFブロックにはビデオデータが搭載され、ビデオAUXDIFブロックにはビデオに関する補助データが搭載され、サブコードブロックにはその他の付加情報が搭載されている。

図3は、図2のビデオDIFブロックの構成を示すブロック構成図である。図3において、ビデオDIFブロックのデータは、画面上をマクロブロックと呼ばれる小単位に区切り、DCT変換等を施すことにより構成される。

ビデオDIFブロックの80バイトのうち、先頭の3バイトはIDであり、次の1バイトの上位4ビットは誤りステータス(SAT: Error status)である。誤りステータスは、当該DIFブロックに誤りがあるか、誤り修整されたDIFブロックであるか、誤り修整されたDIFブロックである場合どのような修整方法を用いたか、という情報が格納されている。下位4ビットは量子化番号(QN0: Quantization number)、それに続く14バイトずつのブロックは各マクロブロックの輝度信号情報であり(Y0、Y1、Y2、Y3)、さらに続く10バイトずつの2ブロックは色差信号情報(CR、CB)であり、moはDCTモード、C0及びC1はクラス番号(class number)を示す。なお、図3は、前述したDVCPRO規格である、「Proposed SMPTE Standard for Digital Video Recording with video

compression at 25Mb/s 6.35mm Type D-7 Component Format 525/60 and 625/50(DVCPR0) : Final version December, 24 1997」の図40と同一のものであり、圧縮の方式についても同文献に詳しく記述されている。

本発明に係る実施形態において重要な点は、各ビデオD I Fブロックの誤りステータスを表す情報は1つしかないという点である。

図2に示したように、ヘッダD I Fブロックは1個、サブコードD I Fブロックは2個、V A U X D I Fブロックは3個、オーディオD I Fブロックは9個、ビデオD I Fブロックは135個、合計150個のD I Fブロックから成り、この150個のD I Fブロックは1つのサブシーケンスを形成し、合計80バイト×150個=12000バイトとなる。

走査線525ラインとフレーム数60を有するNTSC方式（以下、525/60システムという。）では、10個のサブシーケンスで1フレームのデータとなり、走査線625ラインとフレーム数50を有するPAL方式（以下、625/50システムという。）では12個のサブシーケンスで、それぞれ1フレームのデータとなる。従って、1フレーム内のD I Fブロック数は、525/60システムでは、 $150 \times 10 = 1500$ 個となり、625/50システムでは、 $150 \times 12 = 1800$ 個となる。以下の説明では、525/60システムを例としている。

第1の実施形態では、D I Fブロックの変換を行いデータ量の削減を行うことを特徴としている。具体的には複数のD I Fブロックをまとめて1つの伝送単位として扱う場合、各D I Fブロック内の3バイトのIDは全てのD I Fブロック分は必ずしも必要ではなく、1つのIDで代表させる、あるいは全てのIDのデータ量より少ないデータ量をもつ別のIDに置き換えることでデータ量の削減を行う。また、データ内の予備データ及び／又は無効データなどの冗長データを削除することによりデータ量の削減を

行う。

図5は、図2のヘッダD I Fブロック及びサブコードD I Fブロックの構成を示すブロック構成図であり、サブシーケンスの先頭に位置する3つのD I Fブロックを構成するヘッダ及びサブコードブロックのブロック変換を示している。

図5において、3001はヘッダD I Fブロック(H0)、3002はサブコードD I Fブロック(SC0)、3003はサブコードD I Fブロック(SC1)である。本実施形態では、上記の3つのD I Fブロック(合計240バイト)を141バイトの伝送単位(3004に示す)としてデータ量削減を行う。3つのD I Fブロック3001、3002、3003の後方の72バイト、29バイト、29バイトの部分は予備データ(Reserved Data)である。

まず、上記3つのD I Fブロックにおける各3バイトのID(合計9バイト)を、図7を参照して後述する方法で、4バイトに圧縮してデータ量を削減する。次に、ヘッダD I FブロックH0の有効データは5バイトなので、その5バイトの有効データをそのまま続いて詰める。次に、サブコードD I FブロックSC0の有効データ及びサブコードD I FブロックSC1の有効データはそれぞれ48バイトであるので順に詰める。最後に、伝送ユニット3004における最後部のハッチング部分に示すように、36バイトのダミーデータを挿入する。なお、このハッチング部分には付加情報を入れてもよい。

伝送ユニット3004は合計141バイトとなるので、伝送ユニット3004は、3005に示すように47バイトずつの3つのブロックに分割することが可能である。

図6は、図2のVAUXD I Fブロック、オーディオD I Fブロック及

びビデオD I Fブロックのうちのいずれか1つのブロック変換処理を示すブロック構成図である。図6において、4 0 0 1はサブシーケンス内での上記D I Fブロックの連続する3ブロックである。例えば「V A 0、V A 1、V A 2」、「A 0、V 0、V 1」、「V 2、V 3、V 4」等が連続する3ブロックとなる。

まず、連続する3つのD I Fブロックにおける各3バイトのI Dを、後述する方法で(図7参照。)4バイトに圧縮してデータ量の削減を行う。次に、各D I Fブロックのデータ部分の77バイトを順に詰めていく。その結果、元のデータブロック4 0 0 1である240バイトのデータを、伝送ユニット4 0 0 2に示すように、235バイトに圧縮することができ、データ量の削減が可能となる。伝送ユニット4 0 0 2は4 0 0 3に示すように47バイトずつ、5つのブロックに分割することが可能となる。

図7は、図4のD I Fデータ処理回路104によって実行されるI D変換処理を示すブロック構成図であり、図7(A)は、I D変換前の第1の3バイトデータを示すブロック構成図であり、図7(B)は、I D変換前の第2の3バイトデータを示すブロック構成図であり、図7(C)は、I D変換前の第3の3バイトデータを示すブロック構成図であり、図7(D)は、I D変換後の4バイトデータを示すブロック構成図である。

図5及び図6を参照して説明したように、第1の実施形態では、それぞれ各3バイトからなる3つのD I FブロックのI Dを4バイトの1つのI Dにすることによりデータ伝送量の削減を行う。

図7において、S C Tはセクションタイプ、S e qはシーケンス番号、D s e qはD I Fシーケンス番号、D B NはD I Fブロック番号である。各符号の直後にビット番号を付けており、その後ハイフン(-)、その後、図7(A)には「0」、図7(B)には「1」、図7(C)には「2」

などのシリアル番号を付けている。なお、R S Vは予備データ（リザーブデータ）である。

セクションタイプS C Tは、D I Fブロックのタイプを示し、ヘッダ、サブコード、V A U X、オーディオ、ビデオのタイプが、3ビットで示されている。シーケンス番号S e qはカラーフレームタイプとの対応を示す。D I Fシーケンス番号D s e qは、サブシーケンスの番号を示し、5 2 5 / 6 0 システムでは、1 0 個のサブシーケンスからなるので、0 ~ 9 の値を4ビットで示し、6 2 5 / 5 0 システムでは、1 2 個のサブシーケンスからなるので、0 ~ 1 1 の値を4ビットで示す。

D I Fブロック番号D B Nは、サブシーケンス内のD I Fブロックの番号を8ビットで示している。例えば、ビデオD I Fブロックは1つのサブシーケンス内に1 3 5 個あるので、0 から1 3 4 の値を2 進数で表す。オーディオD I Fブロックは1つのサブシーケンス内に9 個あるので、0 から8 の値を2 進数で表す。

この第1の実施形態では、3つのI Dを1つにまとめる場合、各I Dに共通のデータは3 個必要ではなく、またD I Fブロック番号は、連続のD I FブロックのI Dをまとめる等の、予め取り決めた方法でまとめるのであれば1つでよいことに着目している。具体的には、I Dの構成ビットのうち、シーケンス番号S e qはサブシーケンス内で同じであり、3 ブロック全てを伝送する必要はない。D I Fシーケンス番号D s e qはサブシーケンス内で同じであり、3 ブロック全てを伝送する必要はない。D I Fブロック番号D B Nは、入力されたデータ列を予め取り決めた順序でブロック変換を行うのであれば、3 ブロック全ては必要ではない。

以上説明したように、図7（D）に示すように、先頭の3 バイトは図7（A）をそのまま詰め、4 バイト目には上位ビットから（b）のセクショ

ンタイプSCTを3ビット、リザーブビット、(c)のセクションタイプSCTを3ビット、リザーブビットを順に詰め、新たなIDを構成する。これにより、データ量は、固定長80バイト($n=80$)の3個($m=3$)のブロックから冗長情報を削減して、データ長235バイト($p=235 < 3 \times 80$)としている。

図5乃至図7に示した方法で、ヘッダDIFブロック、サブコードDIFブロックで、47バイトのブロックが3個となる。また、VAUX、オーディオDIFブロック、ビデオDIFブロックは合計147個のDIFブロックからなるので、47バイトのブロックが、 $(147/3) \times 5 = 245$ 個となる。従って、全DIFブロックを合わせて、47バイトのブロックが248個となる。47バイトというデータ量は、ATMのAALタイプ1のペイロードに一致するので、以下の説明ではATMセルブロックという。

なお、第1の実施形態では、3つのID(DIFブロック)を1つにまとめているが、本発明はこれに限らず、その他の個数をまとめてもよい。

また、図7に示した方法ではDIFブロックの連続する3ブロックを例として説明したが、連続していることが必須ではなく、複数の任意のDIFブロックからID情報を削減する場合でも本発明の範囲から排除するものではない。

また、連続する3個のDIFブロックを1つにまとめる場合、オーディオDIFブロックとビデオDIFブロックが混在する場合があるので、セクションタイプSCTのみ、新規に構成したID(図7(D)参照。)3個を挿入している。これにより、オーディオDIFブロックとビデオDIFブロックが混在した場合でも、新規に構成したID(図7(D)参照。)の3つのセクションタイプとブロック番号で、サブシーケンス内の位置を特

定できる。

図4は、ブロック変換を実行する図1のD I Fデータ処理回路104の構成を示すブロック図である。図4において、6001は入力端子であり、D I Fブロックのサブシーケンスが入力される。6002はブロックバッファメモリである。6003はブロックバッファメモリ制御回路である。6004は出力端子である。

ブロックバッファメモリ6002は連続する3個のD I Fブロックを格納することができる。ブロックバッファメモリ6002へのデータの書き込み及び読み出しの制御はブロックバッファメモリ制御回路6003で行われる。

入力端子6001から入力されたD I Fサブシーケンスは、ブロックバッファメモリ制御回路6003の制御により、3個のD I Fブロックがブロックバッファメモリ6002に書き込まれる。読み出しは、ブロックバッファメモリ6002のアドレスを指定することにより、ヘッダD I Fブロック、サブコードD I Fブロックに関しては図5に示した方法で、V A U X D I Fブロック、オーディオD I Fブロック、ビデオD I Fブロックに関しては、図6に示す方法で読み出す。ブロックバッファメモリ6002は2枚のバッファメモリで構成されており、書き込みと読み出しが交互に行われる。

ブロックバッファメモリ制御回路6003は、D I FブロックをカウントするD I Fブロックカウンタを備え、現在書き込んでいるD I Fブロックと、読み出しているD I Fブロックを計数している。また、読み出しのアドレスについては、図5及び図6に示した方法は予め固定化しているために、その方法の制御プログラムを小さな記憶容量のR O Mに記憶して、当該R O Mをブロックバッファメモリ制御回路6003内に組み込むこと

により読み出しアドレスを簡単に生成可能である。

また、図7に示したID変換では、図7(D)の4バイト目に、図7(B)の1バイト目の上位4ビットと、図7(C)の1バイト目の上位4ビットを合わせて、8ビットにする回路が必要であるが、この回路は、例えば、簡易なレジスタで構成することができ、ブロックバッファメモリ6002に組み込むことができる。

図4のDIFデータ処理回路104の出力端子6004からは、DIFブロックのサブシーケンスの先頭から、図5の3005に示したように、まず、ヘッダDIFブロック、サブコードDIFブロックから3個のATMセルブロックが出力され、続いて、図6の4003に示したように、VAUX、オーディオDIFブロック、ビデオDIFブロックから245個のATMセルブロックが出力される。

以上説明したように、第1の実施形態によれば、3つのDIFブロックをまとめることにより、IDの情報量をさらに削減することが可能であり、以下のような効果がある。

47バイトからなるATMセルブロックが合計248個だけ出力されるので、総データ量は11656バイトとなる。元のDIFブロックのサブシーケンスは、80バイトのDIFブロックが150個であるので、そのデータは12000バイトであるので、

$$(12000 - 11656) / 12000 \times 100 = 2.87\%$$

のデータ量の削減が可能となる。これをATMセルブロックに換算すると元のデータを伝送するには、

$$12000 / 47 = 255.3$$

であるので256個のATMセルを必要とするが、第1の実施形態では上述したように、248個のATMセルで伝送可能である。

本発明に係る第 1 の実施形態では、通信負荷を大幅に削減すると共に、通信網のリソースの使用を削減することができ、また通信量が減ることにより通信時間が短くなりその分リアルタイム通信の信頼性が高くなる。また、A T M 網で使用する通信帯域が少なくなり、網へ与える負荷が小さくなり、A T M スイッチの処理に与える負荷も小さくなるので、セル廃棄などの確率が小さくなり、セルロスに対して強い信頼性の高い通信が可能となる。さらに、回路の構成も非常に簡易なもので実現可能である。

第 1 の実施形態で説明した、D I F ブロックのサブシーケンス処理後のデータシーケンスを、以下、A T M セルブロックシーケンスという。A T M セルブロックシーケンスは、上述したように 1 1 6 5 6 バイトで構成される。

なお、第 1 の実施形態の方式は、以下に説明する実施形態においても使用し、図 4 に示した回路ブロック図の番号は、他の図でも同じブロックでは番号を継承する。

また、第 1 の実施形態の方式は、以下に説明する実施形態では、下位レイヤに好適となるように処理するデータ処理手段としても使用されている。

なお、第 1 の実施形態では、伝送手段として A T M を用いて説明したが、伝送手段としては A T M に限らず、イーサネット、ファイバーチャネルを使用した場合でも、通信量が削減できるという本発明の要旨には変わりなく、どのような伝送手段を用いた場合でも本願の発明の範囲から排除するものではない。

第 2 の実施形態

図 8 は、本発明に係る第 2 の実施形態である D I F データ処理回路 1 0 4 a の構成を示すブロック図である。この第 2 の実施形態では、D I F ブロックの変換を行いデータ量の削減を行うことを特徴としている。第 2 の

実施形態においては、第1の実施形態と同様に、複数のD I Fブロックをまとめて1つの伝送単位として扱う場合、各D I Fブロック内の3バイトのI Dは全てのD I Fブロック分は必ずしも必要ではなく、全てのI Dのデータ量より少ないデータ量をもつ別のI Dに置き換えることでデータ量の削減を行う。

図9は、図8のブロックバッファメモリ制御回路6003aによるパケットブロック生成方法を示すブロック構成図であり、図9(A)は、当該パケットブロック全体を示すブロック構成図であり、図9(B)は、図9(A)のヘッダ1703の内容を示すブロック構成図である。図9(A)では、D I Fブロック変換を示しており、6個のD I Fブロックを1つのブロックにまとめる。1700は6個のD I Fブロックを示す。この6個のD I Fブロックはサブシーケンスの連続する6個でもよく、また予め取り決めた方法であれば任意の6個でもよい。また、サブシーケンス内だけではなくサブシーケンス間をまたがってもよい。

1701は各D I Fブロックの有効データのみを集めたデータブロックである。各D I Fブロックは77バイトの有効データを持っているので、 $6 \times 77 = 462$ バイトとなる。そして、1702に示すように、データブロック1701の先頭にヘッダ1703をつける。以降1702を伝送ユニットという。

図9(B)にヘッダ1703の詳細を示す。第2の実施形態ではヘッダ1703は5バイトからなり、前の4バイトはタイムコード(TC)、最後の1バイトは1フレーム内のシーケンス番号(SNo)を表す。

タイムコードについては、例えばD I Fブロックのサブコードブロックに4バイトでタイムコード情報を持っているので、そのデータをそのまま使用すればよい。なお、タイムコードはサブコード内の情報には限らず、

独自につけてもよい。また、タイムコードは4バイトに限らなくてもよい。

タイムコードは例えば、HH 時 MM 分 SS 秒 FF フレーム (以下、HH:MM:SS:FF フレームという。) となっており、例えば、第 n フレームが 01:02:03:00 であれば、第 $n + 1$ フレームは 01:02:03:01、第 $n + 2$ フレームは 01:02:03:02、というようにタイムコードはフレーム毎に増加していく。このタイムコードにより、各伝送ユニットが属するビデオフレームが特定できる。

図2に示したサブシーケンスは150個のDIFブロックからなり、1フレームは10個のサブシーケンスからなるので、合計1500個のDIFブロックからなる。各伝送ユニットは6個のDIFブロックから構成するので、1フレーム個データは、 $1500 / 6 = 250$ 個の伝送ユニットからなる。各伝送ユニットに、図9(B)の1フレーム内のシーケンス番号(SNo)を0から249の番号をつけることにより、1フレーム内の伝送ユニットを特定できる。

例えば、1フレーム目の一番先頭のサブシーケンスにおける、先頭の伝送ユニットは、図2のH0, SC0, SC1, VA0, VA1, VA2の6個のDIFブロックから構成され、シーケンス番号SNは0となる、その次の伝送ユニットは、A1, V0, V1, V2, V3, V4, V5の6個のDIFブロックから構成され、シーケンス番号SNは1となる。1つのサブシーケンスは、

$$150 / 6 = 25 \text{ 個}$$

の伝送ユニットから構成されるので、次のサブシーケンスの、先頭の伝送ユニットは、図2のH0, SC0, SC1, VA0, VA1, VA2の6個のDIFブロックから構成され、シーケンス番号(SNo)は25となる。

以上説明したように、本実施形態では、1フレーム内の伝送ユニットを順番にシーケンス番号(SNo)を付けていく。

伝送手段としては、第1の実施形態に例示したような、ATM、イーサネット、ファイバーチャネル等を使用して伝送することができる。

以上説明したように、本実施形態によれば、80バイトの6個のDIFブロックを、467バイトのヘッダ付きの伝送ユニット1702とするので、

$$(80 \times 6 - 467) / (80 \times 6) \times 100 = 2.7\%$$

の情報量の削減が可能となり、第1の実施形態と同様の効果が得られる。

第2の実施形態を実現する回路としては、第1の実施形態である図4のDIFデータ処理回路104と同様であるが、図8に示すような、パケットブロック生成方法が異なるブロックバッファメモリ制御回路6003aを用いる。図9に示した方法が固定化しているために、ブロックバッファメモリ6002への書き込みは入力端子6001から入力されるデータの入力順に行い、読み出しの制御プログラムは、小さな記憶容量のROMに記憶して当該ROMをブロックバッファメモリ制御回路6003内に組み込むことにより、読み出しアドレスを簡単に生成可能である。

伝送ユニット1702におけるヘッダ1703のタイムコードに関しては、サブコードに格納されているものを使用する場合は、ブロックバッファメモリ6002にタイムコード(TC)専用のバッファメモリを設け、タイムコード(TC)が入力されるタイミングで格納し、各伝送ユニット1702の先頭のタイミングで出力すればよい。サブコード内の、タイムコード(TC)の検出に要する時間分は、ブロックバッファメモリ6002からの読み出しタイミングを遅延させることにより容易に調整できる。

独自にタイムコードをつける場合は、フレーム毎にインクリメントする

簡易なカウンタを用いる。また、シーケンス番号 S N o はフレームの先頭でリセットし、伝送ユニット毎にインクリメントすればよい。

なお、第 2 の実施形態の伝送ユニットは 6 個の D I F ブロックから生成したが、本発明はこの個数に限るものではなく、なるべく多数の D I F ブロックから伝送ユニットを生成する方が D I F ブロックのヘッダの削減量が大きく、全体としての情報量の削減率が高くなることは言うまでもない。

第 3 の実施形態

図 1 0 は、本発明に係る第 3 の実施形態である D I F データ処理回路 1 0 4 b の構成を示すブロック図である。この第 3 の実施形態では、第 1 の実施形態において、第 2 の実施形態より多くの個数の D I F ブロックから伝送ユニットを生成することを特徴とする。

図 1 1 は、図 1 0 のブロックバッファメモリ制御回路 6 0 0 3 b によるパケットブロック生成方法を示すブロック構成図である。図 1 1 では、D I F ブロック変換処理を示しており、7 5 個の D I F ブロック 1 8 0 0 から伝送ユニット 1 8 0 4 を生成する。1 8 0 1 は各 D I F ブロックの有効データのみを集めたデータブロックを示しており、このデータブロックを収集すれば、1 8 0 1 に示すように、合計 $77 \times 75 = 5775$ バイトとなる。データブロック 1 8 0 2 でハッチングで示した伝送ユニットヘッダ 1 8 0 3 は 5 バイトであり、第 2 の実施形態において図 9 (B) を参照して説明したものと同一である。従って、データブロック 1 8 0 2 は 5 7 8 0 バイトとなる。ここで、各データブロック 1 8 0 2 は、7 5 個の D I F ブロックから構成されるので、1 フレームのデータは、 $1500 / 6 = 250$ 個の伝送ユニットからなる。従って、1 フレーム内のシーケンス番号 S N o を 0 から 1 9 までのシリアル番号をつけることにより、1 フレーム内の伝送ユニットを特定できる。

伝送手段としては、第 1 の実施形態に例示したような、A T M、イーサネット、ファイバーチャネル等を使用して伝送することができる。

以上説明したように、第 3 の実施形態においては、80 バイトの 75 個の D I F ブロックを 5780 バイトの伝送ユニット 1802 とするので、

$$(80 \times 75 - 5780) / (80 \times 75) \times 100 = 3.6\%$$

の情報量の削減が可能となり、第 1 の実施形態と同様の効果が得られる。

第 3 の実施形態を実現する回路としては、第 1 の実施形態である図 4 の D I F データ処理回路 104 と同様であるが、図 10 に示すような、パケットブロック生成方法が異なるブロックバッファメモリ制御回路 6003b を用いる。

なお、伝送ユニット 1804 にはヘッダ 1803 に続いてダミー(Dummy)データを付加しているが、ダミーデータの付加は予め決められた値を、ブロックバッファメモリ 6002 から予め決められたタイミングで出力することにより実現できる。一例として、ブロックバッファメモリ 6002 内にダミーデータを予め格納しておき、そのデータを出力してもよい。

このダミーデータの付加のタイミングは、ブロックバッファメモリ制御回路 6003b により制御され、カウンタなどを用いることによりダミーデータ付加のタイミングを確定し、ブロックバッファメモリ 6002 内のダミーデータが格納されているアドレスを示すことにより容易に実現できる。

第 4 の実施形態

図 12 は、本発明に係る第 4 の実施形態である A T M 伝送装置 1a の構成を示すブロック図であり、図 13 は、図 12 の D I F データ処理回路 104c の構成を示すブロック図である。第 4 の実施形態では、伝送するデータの例として第 1 の実施形態の A T M セルブロックシーケンスを用い、

A T M 伝送端末装置 1 0 2 は、A T M の A A L タイプ 1 に規定するアダプテーションレイヤのプロトコルを用いてデータパケットを伝送することを特徴とする。

図 1 4 は、図 1 3 のブロックバッファメモリ制御回路 6 0 0 3 c によるパケットブロック生成方法を示すブロック構成図である。第 4 の実施形態では、上述のように、A T M の A A L タイプ 1 のプロトコルを用いてデータパケットの伝送を行う。図 1 4 の左側にはプロトコルスタックを示す。

図 1 4 において、7 0 0 1 は第 1 の実施形態で説明した A T M セルブロックシーケンス（図 5 の 3 0 0 5 及び図 6 の 4 0 0 3）である。7 0 0 2 は A A L レイヤの C S（Convergence Sublayer: コンバージェンスサブレイヤ）のユーザ情報領域である。7 0 0 3 は A A L レイヤの S A R（Segmentation and Re-assembly: セル分解組立）サブレイヤのデータ構成を示す。7 0 0 4 は A T M レイヤのセルを示す。これらの略称は以下の説明においても使用する。

A T M セルブロックシーケンス 7 0 0 1 は、第 1 の実施形態で説明したように 4 7 バイトの A T M セルブロックが 2 4 8 個で構成されている。C S ではユーザ情報として概念的に 1 つにまとめられ、S A R レイヤに送られる。S A R レイヤでは 4 7 バイト毎に、A A L タイプ 1 のプロトコルに従い、4 ビットのシーケンス番号（S N）及び、4 ビットのシーケンス番号保護用 C R C（S N P）等の 1 バイトをつけ、4 8 バイトとして A T M レイヤに送る。ここで、C R C は誤り検出のための巡回冗長検査用パリティである。A T M レイヤでは、A T M セル 7 0 0 4 のハッチング部分に示したように、5 バイトの A T M セルヘッダをつけて、A T M セルとする。

A T M セルブロックシーケンス 7 0 0 1 は、第 1 の実施形態で説明したように 4 7 バイト毎に区切られるので、各 A T M セルブロックは、A T M

レイヤの7004のATMセルに透過的に1対1に対応し、無駄なデータは付加されない。従って、付加回路も必要なくAALタイプ1のレイヤを容易に利用可能である。なお、AALのCSデータ7002は概念的に存在するだけであり、実際には、各ATMセルブロック7001は47バイトであるので、直接にAALのSARデータ7003のレイヤにマッピングすることも可能である。

この第4の実施形態を実現する回路としては、第1の実施形態である図4のDIFデータ処理回路104と同様であるが、図13に示すような、パケットブロック生成方法が異なるブロックバッファメモリ制御回路6003cを用いる。

図12において、ATMセル化回路105は、図14に示すように、ATMセルブロック7001を収集しかつ必要なデータを付加することにより、ATMセル7004を構成して出力する。ここで、ATMセル化回路105は、このようなAALレイヤ及びATMレイヤの処理を行うが、これらの処理回路については、現在AALタイプ1のプロトコルで伝送するための機器が普及しており、それらを使用すれば容易に実現可能である。また、ネットワークインターフェース106に関してもATMの物理層LSIなどが普及しており、それらを用いれば容易に実現可能である。従って、AALレイヤ、ATMレイヤ、及びATM物理層は非常に簡易に安価に実現できる。

以上説明したように、第4の実施形態においては、第1の実施形態と同様に、2.87%のデータ量の削減が可能となり、通信負荷を大幅に削減すると共に、通信網のリソースの使用を削減することができる。また、通信量が減ることにより通信時間が短くなりその分リアルタイム通信の信頼性が高くなる。さらに、通信量を削減することで、網内のATMスイッチ

などに与える負荷も小さくなり、セルロス等の確率も小さくなり高品質な伝送を提供できる。またさらに、AALタイプ1用の機器など、現在普及している機器をそのまま用いることが可能であり、かつ付加する回路の構成も非常に簡易なもので実現可能であるので非常に容易にかつ安価に実現可能である。

特に、第1の実施形態に示したようなデータ削減方法を用いた場合は、AALタイプ1のペイロードにデータ量をきっちり合わせているので、データ伝送を効率的に行うことが可能であり、AALタイプ1にデータを乗せるための処理回路の付加が非常に簡易になり、回路規模が大幅に削減できる。

また、DIFブロックサブシーケンス及びATMセルブロックシーケンスは情報量が一定であるので、固定速度の音声、映像の伝送に最適な、ATMの伝送プロトコルのAALタイプ1を用いることにより、リアルタイム通信の信頼性が高くなる。また、ATMセルの伝送方向と、DIFブロックの方向が論理的に一致するため、ATMセルロスが起こった場合でも、DIFブロックの誤りは1個あるいは2個の最小限にとどめられ、ATMセルロスが起こった場合でも、画像及び音声の乱れが非常に少ない伝送方式を提供できる。

なお、第4の実施形態では、第1の実施形態で説明したATMセルブロックシーケンスを用いて説明を行ったが、本発明の要旨はデータ量を削減することにより効率的にAALタイプ1のプロトコルで伝送を行うことにあり、第2の実施形態、第3の実施形態及びその他のデータ量削減方法を用いた場合でも同様の効果が得られ、発明の範囲から排除するものではない。

第5の実施形態

図15は、本発明に係る第5の実施形態であるDIFデータ処理回路104dの構成を示すブロック図である。この第5の実施形態は、ATMセルブロックシーケンスにインターリーブ処理及び誤り訂正のための処理を行った後にATMのAALタイプ1を用いて伝送を行うことを特徴としており、図15に示すように、第1の実施形態である図4のDIFデータ処理回路104に比較して、パリティ付加回路1001、インターリーブバッファメモリ1002及びインターリーブ部制御回路1003をさらに備えたことを特徴としている。

すなわち、第5の実施形態のDIFデータ処理回路104dは、生成された伝送ユニットに対して、FEC用パリティを付加した後、上記付加されたFEC用パリティを含むデータに対してインターリーブ処理を実行して、上記インターリーブ処理後のデータを伝送ユニットとして出力することを特徴としている。

図16は、図15のDIFデータ処理回路104dを備えたATM伝送装置によって実行されるパケットブロック生成方法を示すブロック構成図である。図16において、8001は第1の実施形態で説明した、47バイトのATMセルブロックが248個で構成されるATMセルブロックシーケンスである。8002は、ATMセルブロックシーケンス8001を後述する方法(図17参照。)でインターリーブ処理及び前方誤り訂正(FEC: Forward Error Correction)用パリティ(以下、前方誤り訂正をFECという。)をつけたデータを示す。データ8002において、ハッチング部分がFEC用のパリティである。8003はAALレイヤのCSのユーザ情報領域である。8004はAALレイヤ(AALタイプ1)のSARサブレイヤのデータ構成を示す。8005はATMレイヤのセルを示す。

次に、ATMセルブロックシーケンス8001からデータ8002への

インターリーブ処理とFEC用パリティをつける方法について図17を参照して説明する。ここで、図17は、図15のインターリーブ制御回路1003によって実行されるインターリーブ方法を示すインターリーブバッファメモリ1002の記憶内容を示すメモリマップ図である。

図17は、ITU-T勧告I. 363の図2乃至図9及びJT-I 363の図2乃至図9において示されている方法のATMのアダプテーションレイヤ(AALタイプ1)で規定されているインターリーブ(ロングインターリーブ)処理及び誤り訂正符号の符号化方法である。

図17に示した方法は、データの書き込みと読み出しの制御を、二次元のマトリックスの概念で示しており、マトリックス形状を有するインターリーブメモリ1002を用いてインターリーブ処理を実行する。書き込み時においては、9001に示すように124バイト(0~123)ずつ当該マトリックスの行方向に書き込み、各行に対して4バイト(124~127)のFEC用パリティ8000をつける。この処理を47回繰り返して書き込みは終了する。FEC用パリティ8000は、例えば、リードソロモン(128, 124)符号を使用し、最大2ビットの誤り訂正を行うことができ、もしくは4ビットの損失までを訂正できる。

読み出しは上記マトリックスの列方向に行われ、その結果47バイト(0~46)ずつ、128個のブロックができる。この読み出した結果が図16で示すデータ8002である。以下、図17のデータ書き込み、読み出しの単位をインターリーブ単位という。

図16において、ATMセルブロックシーケンス8001は47バイトのATMセルブロックが248個で構成されており、図17に示したマトリックスのペイロード部分には47バイトのブロック換算で124ブロックとなるので、インターリーブ単位2回でデータは過不足なく処理できる。

すなわち、図17のインターリーブ単位の処理を2回行うことにより、無駄なダミーデータ等を付加することなく、ATMセルブロックシーケンス8001のデータは過不足なく処理できる。また、FEC用パリティ8000, 8100は47バイト単位で付加されるので、AALタイプ1の処理にも好適である。

FEC用パリティ8000, 8100が、インターリーブ単位で4ブロック付加されるので、ATMセルブロック8002は、248個から、 $4 \times 2 = 8$ 個増えて、256個のATMセルブロックとなる。

図16におけるATMセルブロック8002以降の処理は、データ量がパリティの分のデータ量が増えていること及び、インターリーブ単位でコンバージェンスサブレイヤプロトコルデータユニットを構成すること以外は、第4の実施形態に示した方法と同様である。

ユーザデータ情報8003は、2つのプロトコルデータユニットに分割され、SARレイヤに送られる。SARレイヤでは47バイト毎に、AALタイプ1のプロトコルに従い、4ビットのシーケンス番号(SN)及び、4ビットのシーケンス番号保護用CRC等(SNP)の1バイトをつけ、48バイトとしてATMレイヤに送る。さらに、ATMレイヤでは、8005のハッチング部分に示したように、5バイトのATMセルヘッダをつけて、ATMセルとする。

なお、プロトコルデータユニット8003は概念的に存在するだけであり、実際には、各ATMセルブロック8002は47バイトであるので直接にデータブロック8004のレイヤにマッピングすることも可能である。

図15は、第5の実施形態であるDIFデータ処理回路104dの構成を示すブロック図である。本実施形態では、図1のDIFデータ処理回路104に、パリティ付加回路1001、インターリーブバッファメモリ1

002及びインターリーブ部制御回路1003をさらに備えて構成される。ブロックバッファメモリ6002及びブロックバッファメモリ制御回路6003は、第1の実施形態である図4のそれらの回路6002、6003と同様に動作する。

図15において、ブロックバッファメモリ6002から出力されたATMセルブロックシーケンス8001は、パリティ付加回路1001で124バイト毎に4バイトのFEC用パリティ8000、8100を付加して128バイトのデータとされ、出力される。

インターリーブバッファメモリ1002は、図17に示したインターリーブ単位を格納できるメモリが2枚で構成され、書き込み用と読み出し用に交互に使用される。インターリーブバッファメモリ1002への書き込み及び読み出しは、インターリーブ制御回路1003によって行われる。インターリーブ制御回路1003は、パリティ付加回路1001からの128バイトのデータを、図17の行方向9001で、インターリーブバッファメモリ1002に書き込まれるようにアドレスを発生し当該データの書き込みを行う。各行の書き込みが終了すると、列アドレスが増加する方向に行方向の各書き込み処理を進めていき、図17に示したインターリーブ単位がいっぱいになると読み出しに切り替える。

一方、読み出しは、図17の列方向9002で、インターリーブバッファメモリ1002から読み出されるように、インターリーブ制御回路1003がアドレスを発生し、データを47バイト単位で順に読み出して、データ8002を得る。

インターリーブ制御回路1003はインターリーブの固定的なアドレスの発生を繰り返して行うので、1回のシーケンスの各アドレスを格納したROMを用いて簡易な回路で構成できる。

インターリーブバッファメモリ 1002 から読み出されたデータは、出力端子 1004 から出力される。出力端子 1004 からの出力データは図 1 の D I F データ処理回路 104 の出力となるので、次の処理は図 1 の A T M セル化回路 105 にうつる。'

A T M セル化回路 105 は A A L レイヤ及び A T M レイヤの処理を行うが、これらの処理回路については、現在 A A L タイプ 1 のプロトコルで伝送するための機器が普及しており、それらを使用すれば容易に実現可能である。またネットワークインターフェース 106 に関しても A T M の物理層 L S I などが普及しておりそれらを用いれば容易に実現可能である。従って、A A L レイヤ、A T M レイヤ、及び A T M 物理層は非常に簡易に安価に実現できる。

以上説明したように第 5 の実施形態においては、第 1 の実施形態と同様に、2.87% のデータ量の削減が可能となる。

図 17 に示した A A L タイプ 1 のインターリーブを用いる場合、インターリーブ単位でデータ伝送量が増加するので、D V C のサブシーケンスの情報量削減を行わなければ、図 17 のインターリーブ単位の処理を 3 回伝送しなければならない。しかしながら、本発明に係る第 5 の実施形態によれば、情報量削減を行っているので、図 17 のインターリーブ単位の処理を 2 回で伝送ができるので、通信負荷を大幅に削減すると共に、通信網のリソースの使用を削減することができ、また通信量が減ることにより通信時間が短くなりその分リアルタイム通信の信頼性が高くなる。また、通信量を削減することで、網内の A T M スイッチなどに与える負荷も小さくなり、セルロス等の確率も小さくなり高品質な伝送を提供できる。

さらに、インターリーブ処理を行った後に F E C 用パリティを付加しているので、2 シンボルの訂正及び 4 シンボルの消失訂正が可能であり、A

T M通信（パケット通信）特有の誤りであるセルロス（パケットロス）及びビット誤りにも有効に訂正が働き信頼性の高い通信が可能である。

また、規格化されたA A Lタイプ1の処理に基づいているので、現在普及している機器をそのまま用いることが可能であり、かつ付加する回路の構成も非常に簡易なもので実現可能であるので非常に容易にかつ安価に実現可能である。

さらに、D I Fブロックサブシーケンス及びA T Mセルブロックシーケンスは情報量が一定であるので、固定速度の音声、映像の伝送に最適な、A T Mの伝送プロトコルのA A Lタイプ1を用いることにより、リアルタイム通信の信頼性が高くなる。またさらに、網の誤りレートが誤り訂正範囲内であれば、簡易な構成で高信頼性のD V C（パケットデータ列）のA T M通信が可能となる。

第6の実施形態

図18は、本発明に係る第6の実施形態であるD I Fデータ処理回路104eの構成を示すブロック図である。この第6の実施形態は、第3の実施形態の変形例、又は第5の実施形態の変形例であって、図18に示すように、第3の実施形態である図10のブロックバッファメモリ制御回路6003bと、図20のインターリーブ方法を用いる新たなインターリーブ制御回路1003aとを備えたことを特徴としている。

第5の実施形態である図17のインターリーブバッファメモリ1002のマトリックスには有効データの情報が、 $124 \times 47 = 5828$ バイト格納できる。これに対して、図19のデータ1802は5780バイトであり、48バイト不足するので、図19の1804に示すように、新たに作成した5バイトのヘッダのあとに48バイトのダミーデータ1805をつけて、計5828バイトとする。なお、ダミーデータ1805の位置は

伝送ユニット 1804 に示す位置に限るものではなく、またダミーデータ 1805 の部分にはヘッダの拡張情報、あるいはヘッダの二度書き、その他の情報を入れてもよい。またダミーデータ 1805 の付加のタイミングはインターリーブバッファメモリ 1002 のマトリックスに書き込むときに付加してもよい。

図 20 は、図 18 のインターリーブ制御回路 1003 a によって実行されるインターリーブ方法を示すインターリーブバッファメモリ 1002 の記憶内容を示すメモリマップ図である。すなわち、図 20 は図 17 のインターリーブ単位に図 19 のデータ 1804 を書き込んだときの、インターリーブバッファメモリ 1002 のメモリマップを示す。ここで、書き込みは図 20 のマトリックスの行方向 9001 で行われるので、図 20 のマトリックスの 1 行目の先頭にハッチングで示したように、5 バイトのヘッダと、48 バイトのダミーデータが書き込まれる。その後につき順次データが行方向に書き込まれ、各行へのデータの書き込みが終了すると、次の列の行方向にデータの書き込みを行う。図 19 に示すように、伝送ユニット 1804 は合計 5828 バイトであるので、図 20 のマトリックスのインターリーブ単位に過不足なく格納される。読み出しは、前述したように 47 バイト毎に図 20 のマトリックスの列方向に行われた後、図 16 において 8003、8004、8005 で示したように ATM セル化処理が実行され、最終的に ATM セルとされて伝送される。

第 6 の実施形態の回路としては、第 3 の実施形態である図 10 の DIF データ処理回路 104 b と、第 5 の実施形態である図 15 の DIF データ処理回路 104 d とを組み合わせることによる構成でき、ここで、ブロックバッファメモリ制御回路 6003 b とインターリーブ制御回路 1003 a とを用いる。そして、第 6 の実施形態によれば、第 5 の実施形態と同様

の効果が得られる。

なお、本発明に係る第6の実施形態の要旨はインターリーブ手段を用いて概念上論理的にマトリックス状に並べたデータに対し、誤り訂正の手段を具備して伝送する場合に、一定単位のデータ量（本実施形態ではサブシーケンス）を直接マトリックス上にマッピングしたときに伝送しなければならないマトリックス単位の伝送回数（第5の実施形態及び第6の実施形態では3回）を、情報量の削減を行うことにより、マトリックス単位での伝送回数を減らすことで（第5の実施形態及び第6の実施形態では2回）削減の効果を達成することにある。従って、本実施形態では、インターリーブ及び誤り訂正の方法として、AALタイプ1のオプションとして規格化されている図17に示した方法を用いて説明したが、この方法に限るものではない。

第7の実施形態

図21は、本発明に係る第7の実施形態の構成を示す図であって、図21(A)は、第7の実施形態のDIFデータ処理回路104fの構成を示すブロック図であり、図21(B)は、図21(A)のブロックバッファメモリ6002からインターリーブバッファメモリ3000に入力されるデータを示すブロック構成図であり、図21(C)は、図21(A)のインターリーブ制御回路3001によって実行されるインターリーブ方法を示すインターリーブバッファメモリ3000の記憶内容を示すメモリマップ図であり、図21(D)は、図21(A)のパリティ付加回路3002からインターリーブバッファメモリ3003に入力されるデータを示すブロック構成図であり、図21(E)は、図21(A)のインターリーブ制御回路3004によって実行されるインターリーブ方法を示すインターリーブバッファメモリ3003の記憶内容を示すメモリマップ図である。

この第7の実施形態は、第6の実施形態の変形例であって、第3の実施形態である図10のD I Fデータ処理回路104bに対して、図21(A)に示すように、インターリーブバッファメモリ3000と、インターリーブ制御回路3001と、パリティ付加回路3002と、インターリーブバッファメモリ3003と、インターリーブ制御回路3004とをさらに備えたことを特徴としている。特に、図17を用いて説明した、ロングインターリーブと誤り訂正の方式を用いる第5の実施形態及び第6の実施形態に示した第3の発明よりもさらにD V Cの伝送方式に適した、誤りに強い伝送方式を提供することを特徴としている。

第7の実施形態のD I Fデータ処理回路104fは、

(a) ブロックバッファメモリ6002から出力されるデータ列を、第1のマトリックス形状を有するインターリーブバッファメモリ3000に上記第1のマトリックスの第1の方向(図21(C)の書き込み方向)で書き込んだ後、インターリーブバッファメモリ3000から上記第1のマトリックスの第1の方向とは直交する第2の方向(図21(C)の読み出し方向)で読み出すことにより第1のインターリーブ処理を実行して、上記第1のインターリーブ処理後のデータを第2の方向のデータ単位で出力するインターリーブ制御回路3001と、

(b) インターリーブバッファメモリ3000から出力されるデータに対して、上記第2の方向のデータ単位毎に所定のF E C用パリティを付加し、上記F E C用パリティが付加されたデータを出力するパリティ付加回路3002と、

(c) パリティ付加回路3002から出力されるデータを、第2のマトリックス形状を有するインターリーブバッファメモリ3003に、上記第1のマトリックスの第2の方向と一致する上記第2のマトリックスの第4の

方向（図 2 1（E）の書き込み方向）で書き込んだ後、インターリーブバッファメモリ 3 0 0 3 装置から上記第 2 のマトリックスの第 4 の方向とは直交する第 3 の方向（図 2 1（E）の読み出し方向）で読み出すことにより第 2 のインターリーブ処理を実行して、上記第 2 のインターリーブ処理後のデータを第 3 の方向のデータ単位毎に出力するインターリーブ制御回路 3 0 0 4 とを備える。

例えば、品質の悪い A T M 伝送路で連続してセルロスが起こり（バーストセルロス）、当該 A T M 伝送装置が図 2 0 又は図 1 7 に示したパリティによる誤り訂正能力を超える場合がある。例えば、図 2 0 に図示したセル 1 9 0 1 が訂正不可能となったセルの内の 1 つである場合、第 6 の実施形態に示した方法では、D I F ブロックのデータの一部がセル 1 9 0 1 に含まれると D I F ブロックの全てのデータが誤りとなる。

図 2 2 は、図 2 1 の D I F データ処理回路 1 0 4 f を備えた A T M 伝送装置において、セルロスが生じたときの誤り分散を示すブロック構成図である。図 2 2 において、各 D I F ブロックの上には D I F ブロック番号を付し、ここで、D I F ブロック番号とは、図 1 9 の伝送ユニット 1 8 0 4 に含まれる 7 5 個の D I F ブロックを先頭から、0 から 7 4 の番号をつけたものであり、バイト番号は図 1 9 に図示した 7 7 バイトの D I F ブロックの各バイトを先頭から、0 から 7 6 の番号をつけたものである。図 2 2 において、誤りを含む D I F ブロックには黒線で誤りを示している。図 2 2 に示すように、セル 1 9 0 1 が訂正不能である場合、ヘッダ及び、4 6 個の D I F ブロックが誤りを含むこととなる。

ここで問題となるのが、D V C は図 3 に示したマクロブロック単位で処理を行っており、前述したように誤りステータス（S T A）もマクロブロックに 1 つしか持っていない点である。従って、各 D I F ブロック（マク

ロブロック)に1バイトでも誤りがあればD I Fブロック全てが誤りとして扱われる。従って、図22では46個のD I Fブロックが誤りとなる。

なお、図22において具体的な誤り箇所は、ヘッダの3バイト目(バイト番号2)、D I Fブロック番号0のバイト番号73、D I Fブロック番号2のバイト番号43、D I Fブロック番号4のバイト番号13、D I Fブロック番号5のバイト番号60、D I Fブロック番号7のバイト番号30、D I Fブロック番号9のバイト番号0、D I Fブロック番号10のバイト番号47、D I Fブロック番号12のバイト番号17、D I Fブロック番号13のバイト番号64、D I Fブロック番号15のバイト番号34、D I Fブロック番号17のバイト番号4、D I Fブロック番号18、バイト番号51、D I Fブロック番号20のバイト番号21、D I Fブロック番号21のバイト番号68、D I Fブロック番号23のバイト番号38、D I Fブロック番号25のバイト番号8、D I Fブロック番号26のバイト番号55、D I Fブロック番号28のバイト番号25、D I Fブロック番号29のバイト番号72、D I Fブロック番号31のバイト番号42、D I Fブロック番号33のバイト番号12、D I Fブロック番号34のバイト番号59、D I Fブロック番号36のバイト番号29、D I Fブロック番号37のバイト番号76、D I Fブロック番号39のバイト番号46、D I Fブロック番号41のバイト番号16、D I Fブロック番号42のバイト番号63、D I Fブロック番号44のバイト番号33、D I Fブロック番号46のバイト番号3、D I Fブロック番号47のバイト番号50、D I Fブロック番号49のバイト番号20、D I Fブロック番号50のバイト番号67、D I Fブロック番号52のバイト番号37、D I Fブロック番号54のバイト番号7、D I Fブロック番号55のバイト番号54、D I Fブロック番号57のバイト番号24、D I Fブロック番号58のバ

イト番号 71、DIFブロック番号 60のバイト番号 41、DIFブロック番号 62のバイト番号 11、DIFブロック番号 63のバイト番号 58、DIFブロック番号 65のバイト番号 28、DIFブロック番号 66のバイト番号 75、DIFブロック番号 68のバイト番号 45、DIFブロック番号 70のバイト番号 15、DIFブロック番号 71のバイト番号 62、DIFブロック番号 73のバイト番号 32のデータである。

以上説明したように、任意の1つのセルロスが訂正できない場合、誤り伝搬してしまい、その結果、画像が大幅に乱れることとなる。これは、例えば放送局などの高画質を要求する分野では、受け入れがたいものである。

要旨的には上記問題は、DIFブロックのデータ列の方向に対して、AALタイプ1のロングインターリーブ（図20）により最終的にATMセルの方向が、直交するように処理されることに起因するものであり、誤り訂正能力を向上させてもその誤り訂正能力を超えた場合、上記問題が発生する。また、誤り訂正を行わない場合さらに問題は大きくなる。

上記問題に鑑み、この第7の実施形態では、現在規格として主流であり、かつ機器が安価に普及しているAALタイプ1のロングインターリーブを用い、AALタイプ1のロングインターリーブ（図20参照。）の上位層で処理を加えることにより、DIFブロックのデータ列の方向と実際に伝送手段として使用されるATMセルの方向が一致するようにすることで問題を解決する。

図23は、図21（A）のDIFデータ処理回路104fのインターリーブ方法を示す図であって、図23（A）は、図21（A）のインターリーブ制御回路3001によって実行されるインターリーブ方法を示すインターリーブバッファメモリ3000の記憶内容を示すメモリマップ図であり、図23（B）は、図21（A）のインターリーブ制御回路3004に

よって実行されるインターリーブ方法を示すインターリーブバッファメモリ3003の記憶内容を示すメモリマップ図である。

図23(A)に示す2100は、インターリーブバッファメモリ3000を用いて行うAALタイプ1のロングインターリーブをうち消すためのロングインターリーブの上位層での処理であり、図23(B)に示す2101は、インターリーブバッファメモリ3003を用いて行うAALタイプ1のロングインターリーブであり図20(又は図17)と同じ処理である。

図23(A)及び図23(B)では、インターリーブ単位で処理されるデータを0から5827までの番号をつけている。0、1、2、・・・、5827が、例えば図19の伝送ユニット1804で示すDIFブロックのデータ列の方向である。

図23(A)に示すように、列方向にデータ列1804をインターリーブバッファメモリ3000に書き込み、そして列方向にインターリーブバッファメモリ3000から読み出す。読み出されたデータは、図23(B)に示すように、ロングインターリーブの規格の通り(図17)、インターリーブバッファメモリ3003に行方向に書き込み、そして列方向にインターリーブバッファメモリ3003から読み出す。インターリーブバッファメモリ3000からのデータの読み出し方向がATMのセル方向となるので、結果的に、DIFブロック方向とATMセル方向が一致する。

図24は、図21(A)のインターリーブ制御回路3004によって実行されるインターリーブ方法を示すインターリーブバッファメモリ3003の記憶内容の詳細を示すメモリマップ図である。図24は、図23の2101と同一のものであり、より詳細に図示している。図24には、図19の伝送ユニット1804を格納した場合を例として図示しており、先頭

から、ヘッダ、ダミー、続いてD I Fブロック0、D I Fブロック1、…と、データ列1 8 0 4が格納される。

ここで、例えば、図20を用いて説明した位置と同一の位置2 2 0 0に訂正できないセルロスが発生したとする。このとき、データ列1 8 0 4の方向とA T Mセルの方向が一致するため、A T Mセル2 2 0 0にはD I Fブロック0の一部及びD I Fブロック1の一部が含まれるのみである。このときのデータ列1 8 0 4のデータブロック構成図を図25に示す。図25で誤りセル（A T Mセル2 2 0 0）をクロスマッチングで示している。この例では、D I Fブロック0及びD I Fブロック1の2つのD I Fブロックのみの誤りとなる。

以上説明したように、第7の実施形態によれば、訂正できないセルロスがあった場合でも、誤り伝搬が最小限にとどめることができ高画質を維持できる。なお、誤りとなったマクロブロックは、前フレーム置換などにより修正すれば、誤りをほとんど目立たなくできる。

図21（A）に第7の実施形態であるD I Fデータ処理回路1 0 4 fの構成を示す。図21（A）において、D I Fブロックデータ列の入力は、入力端子6 0 0 1を介して行われる。図21（A）において、まず、第3の実施形態と同様の図4のブロックバッファメモリ6 0 0 2及びブロックバッファメモリ制御回路6 0 0 3 bにより、図11の1 8 0 4に示すD I Fブロックデータ列を得る。ここで、ブロックバッファメモリ6 0 0 2から出力されるデータのブロック構成図を図21（B）に示す。これは、図11の伝送ユニット1 8 0 4と同じものである。

インターリーブバッファメモリ3 0 0 0は、図23のデータ2 1 0 0を格納する記憶容量を有し、ブロックバッファメモリ6 0 0 2から出力されるデータを、二次元マトリックスの概念上、図21（C）に示すように、

当該ブロックバッファメモリ 3000 の列方向で書き込みかつその列を当該図の左から右へ方向に移動しながら書き込んでいく。読み出しは、データを行方向で読み出しかつその行を当該図の上から下へ方向に移動させながらデータが読み出される。インターリーブバッファメモリ 3000 への書き込み及び読み出しの制御はインターリーブバッファメモリ制御回路 3001 で行われ、これらは固定した書き込み及び読み出し方法であるので、その方法のプログラムを例えば小さな記憶容量の ROM に格納して、当該 ROM をインターリーブバッファメモリ制御回路 2601 に持つことにより容易に実現できる。

インターリーブバッファメモリ 3000 に書き込まれたデータの概念図を図 21 (C) に示す。これは、図 23 (A) のデータ 2100 に相当する。インターリーブバッファメモリ 3000 から出力されるデータは、パリティ付加回路 2602 に送られ、124 バイトのデータに対して 4 バイトの FEC 用パリティが付加される。このデータの構成図を図 21 (D) に示す。

パリティ付加回路 3002 から出力されるデータは、インターリーブバッファメモリ 3003 に書き込まれる。書き込みは二次元マトリックスの概念上、図 21 (E) に示すように、データを行方向で書き込みかつその行を当該図の上から下へ方向に移動させながら行われ、読み出しは、データを列方向で読み出しかつその列を当該図の左から右へ方向に移動させながら行われる。

インターリーブバッファメモリ 3003 への書き込み及び読み出しの制御は、インターリーブバッファメモリ制御回路 3004 で行われ、これらは固定した書き込み及び読み出し方法であるので、その方向のプログラムを例えば小さな記憶容量の ROM に記憶して、当該 ROM をインターリー

ブバッファメモリ制御回路 3004 に持つことにより容易に実現できる。
インターリーブバッファメモリ 3003 に書き込まれたデータの構成図を、
図 21 (E) に示す。これは、図 23 のデータ 2101 に相当する。イン
ターリーブバッファメモリ 3003 から出力されるデータは、出力端子を
介して出力される。

AAL タイプ 1 の処理は、第 5 の実施形態で説明したのと同様に ATM
セル化回路 105 によって行われ、ここでシーケンス番号 SN 及びシーケ
ンス番号保護 SNP の付加が実行された後、処理後のデータパケットは、
ネットワークインターフェース 106 を経て、ATM ネットワーク 100
に送出される。

なお、以上の説明においては、図 17 に示したとおり、下位レイヤとし
て、データ列を 124 のパケットに区切り、誤り訂正符号を付加して、第
2 の方向に 47 の第 2 のパケットを生成するものであり、 $i = 124$ 、 j
 $= 47$ の場合を説明している。

以上説明したように、第 7 の実施形態によれば、誤り訂正能力内のセル
ロス、ビット誤りは誤り訂正により訂正を行い、誤り訂正能力を超えるセ
ルロス、ビット誤りが起こった場合でも誤り伝搬せず、セルロス、ビット
誤りに対して非常に強い高品質な画像及び音声伝送を提供できる。

なお、第 7 の実施形態では、図 19 の DIF データ列 1804 を伝送す
る場合を例として説明を行ったが、本発明においては、データの削除を行
うことは要旨ではなく、データ列 (DIF ブロックデータ列) の方向と、
実際に伝送されるパケット (ATM セル) の方向を一致させることにより、
誤り伝搬を最小限におさえ効果を得るので、データの削除を行わない場合
でも本発明の範囲から排除するものではない。

なお、第 7 の実施形態では、図 20 においてデータ 1901 が訂正でき

ない場合を例として、複数のD I Fブロックに誤りが伝搬する場合を例としたが、バースト的なセルロスにより誤り訂正範囲を超えた場合の例であり、A T Mでは網が混雑した場合連続してセルロスが起こる場合があり、本発明を用いればきわめて大きな効果がある。

第8の実施形態

図26は、本発明に係る第8の実施形態の構成を示す図であって、図26(A)は、第8の実施形態のD I Fデータ処理回路104gの構成を示すブロック図であり、図26(B)は、図26(A)のブロックバッファメモリ6002からC R C付加回路3106に入力されるデータを示すブロック構成図であり、図26(C)は、図26(A)のC R C付加回路3106からインターリーブバッファメモリ3000に入力されるデータを示すブロック構成図であり、図26(D)は、図26(A)のインターリーブ制御回路3001によって実行されるインターリーブ方法を示すインターリーブバッファメモリ3000の記憶内容を示すメモリマップ図であり、図26(E)は、図26(A)のパリティ付加回路3002からインターリーブバッファメモリ3003に入力されるデータを示すブロック構成図であり、図26(F)は、図26(A)のインターリーブ制御回路3004によって実行されるインターリーブ方法を示すインターリーブバッファメモリ3003の記憶内容を示すメモリマップ図である。

この第8の実施形態は、第7の実施形態の変形例であって、図26(A)に示すように、図21(A)のD I Fデータ処理回路104fに比較して、ブロックバッファメモリ6002とインターリーブバッファメモリ3000との間に、C R C付加回路3106と、C R C付加制御回路3107をさらに挿入したことを特徴としている。ここで、C R C付加回路3106は、ブロックバッファメモリ6002から出力されるデータ列に対して、

CRC付加制御回路3107の制御により、データ列が並置された方向に、誤り検出用パリティを付加して、上記誤り検出用パリティが付加されたデータ列を所定のデータ単位で出力する。

この第8の実施形態では、AALタイプ1のロングインターリーブと誤り訂正による伝送方式、及びそれと類似の誤り訂正を行う伝送方式に対して、より高画質な伝送方式を提供する伝送方式について説明する。すなわち、セルロスだけではなくビット誤りにも対応した伝送方式を提供する。

実施形態の説明はAALタイプ1のロングインターリーブと誤り訂正による伝送方式を例とする。なお、ロングインターリーブを行うこと自体は本発明の要旨ではなく、一定単位毎に誤り訂正の仕組みを備えた伝送方式に関して本発明は有効である。従って、ロングインターリーブを行った場合、行わない場合、第7の実施形態で説明したような、AALタイプ1のロングインターリーブの上位層で、ロングインターリーブをうち消す処理を加えた場合でも本発明の範囲から排除するものではない。

図27は、図26(A)のDIFデータ処理回路104gによって実行されるインターリーブ方法を示すインターリーブバッファメモリ3003の記憶内容を示すメモリマップ図である。図27で図示するインターリーブの単位は、上述の図17と同一のロングインターリーブの単位である。図27では、インターリーブバッファメモリ3003のマトリックスの行方向（当該図の縦方向）に対して誤り訂正符号が付加されているので、2重の誤り訂正、4重の消失訂正が技術的に可能である。

ATM伝送においては、ATMセルが伝送途中に紛失してしまうセルロス、及び光ファイバケーブル及びより対線でのビット誤り等が発生する。特に、セルロスに関しては、網が混雑したときには、連続するセルがセルロスして誤りとなる確率が非常に高い。特に、AALタイプ1の規格に基

づいた伝送では、各A T Mセルにシーケンス番号を付して伝送するのでその連続性を受信側でチェックすることにより、どの位置のセルが紛失（セルロス）したかを特定できる。

図27を参照して説明すると、各列がA T Mセルのペイロードであり、シーケンス番号（図14のS N）等の1バイトを付加して48バイトとし、5バイトのA T Mセルヘッダをつけて伝送される。従って、例えば図27のセル2704が紛失していた場合、セルの連続性のチェックでその位置を特定できる。また、図27の各行方向に対し、セルロス及びビット誤りが2個以内であれば、セルロス及びビット誤りの位置がわからなくても4ビットのパリティでその位置及び誤りを検出して訂正できる。

しかしながら、4個以上のセルロスが起こった場合、前述したセルの連続性のチェックにより、セルロスの位置はわかるものの、ビット誤りの有無を検出できないため、消失訂正をした場合ご訂正してしまう可能性がある。また、5個以上のセルロスがあった場合は、パリティの量が足りないため消失訂正も不可能である。

一般的にビット誤りの確率は、セルロスの確率に比べて極端に小さいので、例えば、図27において、セル2704及び2708がセルロスであった場合、その他のセルにはビット誤りが含まれない確率が高い。しかしながら、低い確率でもビット誤りが存在するので、ビット誤りを見逃して画面上に画像を出した場合、間違ったデータを画面上に出力することとなり、画質が大幅に劣化する。

また、図27において、セル2704乃至2707が誤りである場合、その他のセルにはビット誤りが含まれる確率はきわめて低い、ビット誤りが含まれる可能性がある以上、誤りのセルに対して消失訂正をするとご訂正となり、結果的に間違った画像を画面上に表示してしまうこととなり、

画像が破綻する。

第8の実施形態では、ビット誤りの有無を確実に検出し、ビット誤りが含まれないD I Fブロックに対してはそのまま出力することにより大部分のデータを活かし、ビット誤りが含まれるD I Fブロックは誤りとして扱い、例えば、図3のステータスビット（S A T）を誤りとすることにより誤り修整の処理を行うことにより高画質かつ高音質を維持できる。

そのために、本発明に係る第8の実施形態では、A T Mセルの伝送方向にC R Cによる誤りチェックを行う。図27の例では、8ビットのC R C（1バイト）を採用し、ヘッダに対して1つのC R Cを割り当て、D I Fブロックの2個に対して1つのC R Cを割り当てている。ただし、最後のD I Fブロックに対してはD I Fブロック1個に対して1つのC R Cを割り当てている。C R Cの割り当ては、この限りではなく、A T Mセルに対して割り当てる場合、D I Fブロック1つに対して1つのC R Cを割り当てるなど、個数は任意でも本発明の範囲から排除するものではない。

図27では5バイトのヘッダに続き1バイトのC R Cを付加し、次に、ダミービットが9バイトあり、続いてD I Fブロックの2個毎に1バイトのC R Cを付加している。なお最終のD I Fブロックは1つのD I Fブロックに対してC R Cを割り当てている。図27ではC R Cは黒く塗りつぶしている。

図27において、C R Cの具体的な位置は、1列目の6バイト目がヘッダ用C R C、4列目の29バイト目がD I Fブロック0及びD I Fブロック1用C R C、7列目の43バイト目がD I Fブロック2及びD I Fブロック3用C R C、11列目の10バイト目がD I Fブロック4及びD I Fブロック5用C R C、14列目の24バイト目がD I Fブロック6及びD I Fブロック7用C R C、17列目の38バイト目がD I Fブロック8及

びD I Fブロック9用C R C、21列目の5バイト目がD I Fブロック10及びD I Fブロック11用C R C、24列目の19バイト目がD I Fブロック12及びD I Fブロック13用C R C、27列目の33バイト目がD I Fブロック14及びD I Fブロック15用C R C、30列目の47バイト目がD I Fブロック16及びD I Fブロック17用C R C、34列目の14バイト目がD I Fブロック18及びD I Fブロック19用C R C、37列目の28バイト目がD I Fブロック20及びD I Fブロック21用C R C、40列目の42バイト目がD I Fブロック22及びD I Fブロック23用C R C、44列目の9バイト目がD I Fブロック24及びD I Fブロック25用C R C、47列目の23バイト目がD I Fブロック26及びD I Fブロック27用C R C、50列目の37バイト目がD I Fブロック28及びD I Fブロック29用C R C、54列目の4バイト目がD I Fブロック30及びD I Fブロック31用C R C、57列目の18バイト目がD I Fブロック32及びD I Fブロック33用C R C、60列目の32バイト目がD I Fブロック34及びD I Fブロック35用C R C、63列目の46バイト目がD I Fブロック36及びD I Fブロック37用C R C、67列目の13バイト目がD I Fブロック38及びD I Fブロック39用C R C、70列目の27バイト目がD I Fブロック40及びD I Fブロック41用C R C、73列目の41バイト目がD I Fブロック42及びD I Fブロック43用C R C、77列目の8バイト目がD I Fブロック44及びD I Fブロック45用C R C、80列目の22バイト目がD I Fブロック46及びD I Fブロック47用C R C、83列目の36バイト目がD I Fブロック48及びD I Fブロック49用C R C、87列目の3バイト目がD I Fブロック50及びD I Fブロック51用C R C、90列目の17バイト目がD I Fブロック52及びD I Fブロック53用C R C、93列

目の31バイト目がDIFブロック54及びDIFブロック55用CRC、96列目の45バイト目がDIFブロック56及びDIFブロック57用CRC、100列目の12バイト目がDIFブロック58及びDIFブロック59用CRC、103列目の26バイト目がDIFブロック60及びDIFブロック61用CRC、106列目の40バイト目がDIFブロック62及びDIFブロック63用CRC、110列目の7バイト目がDIFブロック64及びDIFブロック65用CRC、113列目の21バイト目がDIFブロック66及びDIFブロック67用CRC、116列目の35バイト目がDIFブロック68及びDIFブロック69用CRC、120列目の2バイト目がDIFブロック70及びDIFブロック71用CRC、123列目の16バイト目がDIFブロック72及びDIFブロック73用CRC、124列目の47バイト目がDIFブロック74用CRCとなる。

図27におけるデータの書き込み及び読み出しは、概念上、インターリーブバッファメモリ3003のマトリックスの列方向（図27の縦方向）に行えばよい。すなわち、図27に示したマトリックスに対して、DIFブロックのデータが列方向に書き込まれた後、列方向に読み出されるのであれば、それ以前の処理に例えば第7の実施形態で説明した発明を適用してもよい。このときのデータ列の順番は、ヘッダ（5バイト）、ヘッダ用CRC（1バイト）、ダミー（9バイト）、DIFブロック0（77バイト）、DIFブロック1（77バイト）、DIFブロック0及びDIFブロック用CRC（1バイト）、DIFブロック2（77バイト）、DIFブロック3（77バイト）、DIFブロック2及びDIFブロック3用CRC（1バイト）、DIFブロック4（77バイト）、・・・、DIFブロック74（77バイト）、DIFブロック74用CRC（1バイト）とすればよい。

図28は、図26(A)のDIFデータ処理回路104gを備えたATM伝送装置によって実行されるバケットブロック生成方法を示すブロック構成図である。

図26(A)において、DIFブロックデータ列の入力は入力端子を介して行われる。次いで、入力されたデータ列に基づいて、ブロックバッファメモリ6002及びブロックバッファメモリ制御回路003aは、図26(B)及び図28の2900に示すDIFブロックデータ列を得て出力する。ブロックバッファメモリ6002から出力されるデータの構成図を図26(B)に示す。これは図28の2900と同じものである。図26(B)の2900は図19の1804とダミーのバイト数が異なるのみである。従って、図10のブロックバッファメモリ制御回路6003bを若干変更するだけで容易に実現できる。

CRC付加回路3106は、ブロックバッファメモリ6002から出力されるデータ列に対して8ビットのCRCを付加するための回路であり、その動作は、CRC付加制御回路3107により制御される。CRC付加制御回路3107はCRC付加回路のリセットタイミング、CRC付加タイミング、ダミー付加タイミングなどについてCRC付加回路3106を制御することによりCRC付加処理を実行する。

CRCの付加方法においては、CRC付加制御回路3107が、ヘッダの先頭でCRC付加回路3106をリセットし、5バイトのヘッダの最後にCRCを1バイト付加する。また、DIFブロック0の先頭でCRC付加回路3106をリセットし、DIFブロック1の次に1バイトのCRCを付加し、以下同様にして、DIFブロック番号の偶数でCRC付加回路3106をリセットし、DIFブロック番号の奇数の後ろに1バイトのCRCを付加して、DIFブロックの2個ずつに1バイトCRCを付加する。

最終のD I Fブロック7 4のみD I Fブロック1個でC R Cを付加する。

前述したリセットタイミングで、C R C付加制御回路3 1 0 7がC R C付加回路3 1 0 6に対してリセットをかけ、C R C付加のタイミングでC R C付加回路3 1 0 6からC R Cの8ビット（1バイト）を出力するように制御する。C R C付加回路3 1 0 6の出力データを図2 6（C）に示す。図2 6（C）は図2 1の2 9 0 2と同じものである。

以降、インターリーブバッファメモリ3 0 0 0、インターリーブバッファメモリ制御回路3 0 0 1、パリティ付加回路3 0 0 2、インターリーブバッファメモリ3 0 0 3、インターリーブバッファメモリ制御回路3 0 0 4は、図2 1の第7の実施形態の処理と同じである。

以上説明したように、本発明に係る第8の実施形態によれば、セルロス及びビット誤りが誤り訂正範囲内であれば誤り訂正により訂正し、訂正範囲外のセルロス、ビット誤りが起こった場合は、C R Cによりビット誤りの有無を確実に検出し、ビット誤りが含まれないD I Fブロックに対してはそのまま出力することにより大部分のデータを活かし、ビット誤りが含まれるD I Fブロックは誤りとして扱い、誤り修整の処理を行うことにより高画質かつ高音質を維持した伝送方式を提供できる。

なお、第8の実施形態では、図2 8に示したデータ削減手段を用いて説明したが、本発明の要旨は、伝送するデータ列と同一の方向にC R C付加手段（C R C付加回路3 1 0 6）を設け、二次元のマトリックスの概念上直交方向に誤り訂正コードを付加することにより効果を得られるので、データ削減手段の有無に関わらず本発明は効果を有し、データ削減手段がない場合でも本発明の範囲から排除するものではない。

また、第8の実施形態では、A T MのA A Lタイプ1を用いる場合を例としたが、A A Lタイプ5を用いる場合は、異なるプロトコルデータユニ

ット（PDU）にヘッダ情報を入れることで、本発明は実現可能である。

第9の実施形態

図29は、本発明に係る第9の実施形態の構成を示す図であって、図29（A）は、第9の実施形態のDIFデータ処理回路104hの構成を示すブロック図であり、図29（B）は、図21（A）のブロックバッファメモリ6002からインターリーブバッファメモリ3000に入力されるデータを示すブロック構成図であり、図29（C）は、図21（A）のインターリーブ制御回路3001によって実行されるインターリーブ方法を示すインターリーブバッファメモリ3000の記憶内容を示すメモリマップ図であり、図29（D）は、図29（A）のパリティ付加回路3002からインターリーブバッファメモリ3003に入力されるデータを示すブロック構成図であり、図29（E）は、図29（A）のインターリーブ制御回路3004によって実行されるインターリーブ方法を示すインターリーブバッファメモリ3003の記憶内容を示すメモリマップ図である。

この第9の実施形態は、第7の実施形態の変形例であって、図29（A）に示すように、図21のDIFデータ処理回路104fに比較して、ブロックバッファメモリ制御回路6003cを備えたことを特徴としている。ここで、ブロックバッファメモリ6003cは、入力端子6001を介して入力されるデータ列に基づいて、複数のブロックに属するブロック情報から所定の冗長情報を削除することにより新たな識別子を有する2個の伝送ヘッダを生成して、生成された2個の伝送ヘッダを有する伝送ユニットを含むデータを出力し、ここで、上記2個の伝送ヘッダがそれぞれ、図30のインターリーブバッファメモリ3003のマトリックスの列方向のデータ単位の先頭に位置するように、上記2個の伝送ヘッダを上記伝送ユニットを含むデータ中に配置することを特徴としている。これらの特徴は、

ヘッダ情報の保護のために行われる。

図30は、図29(A)のDIFデータ処理回路104hによって実行されるパケットブロック生成方法を示す図であって、図29(A)のインターリーブバッファメモリ3003に記憶される記憶内容の詳細を示すメモリマップ図である。第9の実施形態では、タイムコードを含むヘッダ情報を、AALタイプ1のロングインターリーブの中で二回送ることによりヘッダを保護する。

上述したように、ATM網のセルロスレート及び誤りレートが極端に悪い場合、セルロス等が誤り訂正能力を超えて、訂正できない場合がある。例えば、図24において、ATMセル2201がセルロスとなり、誤り訂正できない場合、ATMセル2201には、タイムコード情報などのヘッダ情報が含まれているため、ロングインターリーブ単位に属する75個のDIFブロックの全ての情報が属する画像位置が特定できず、結果的に75個のDIFブロックの全てを誤りとして扱うこととなり、画像が大幅に劣化し、特に放送局などの高画質を要求する場合は、受け入れられないものとなる。そこで本発明に係る実施形態では、インターリーブ単位の2個のATMセルにヘッダ情報を入れることにより、インターリーブ単位のヘッダ情報の検出確率を向上させる。

図30(A)に示すように、ATMセル2400及びATMセル2401の先頭にヘッダ情報を入れる。この位置にヘッダ情報を入れるためには、図19の伝送ユニット1804において、ヘッダ、ダミー情報の並びを、図30(B)のようにすればよい。

なお、第9の実施形態では、ヘッダ情報を2個としたが、2個に限るものではない。また、複数のヘッダを格納する位置は、異なるATMセルであればどこでもよい。また、ヘッダのATMセル内の位置は任意でよい。

上述のように、本実施形態は、第7の実施形態の変形例であるが、第7の実施形態との違いは、図29のブロックバッファメモリ制御回路6003cにより、図30(B)に示すように、ダミーの部分にヘッダを2回送出するように制御することで実現できる。このとき、タイムコードはブロックバッファメモリ6002内にレジスタをもうけて格納することにより容易に実現できる。また、第7の実施形態と同様に、ブロックバッファメモリ制御回路6003cの処理は固定化しているため、ブロックバッファメモリ制御回路6003c内にROMをもうけることにより容易に実現可能である。

本発明によれば、一定処理単位の水タ（第9の実施形態ではAALタイプ1のインターリーブ単位）に対して、複数個のセルにタイムコード情報などのヘッダを搭載させて伝送することにより、処理単位の水タの画像位置又は音声位置を確実に検出し、高品質な画像及び音声の伝送を可能とする。

なお、第9の実施形態では、図19に示したデータ削減処理に基づいて、タイムコードを2度入れることを例として説明したが、本発明の要旨は、伝送処理単位（AALタイプ1のインターリーブ単位）内の、複数の異なるパケット（ATMセル）にタイムコードを書き込むことにより特有の効果を得られるので、データ削減処理の有無に関わらず、本発明は当該特有の効果を有し、データ削減処理がない場合でも本発明の範囲から排除するものではない。

以上説明したように、本発明に係る第9の実施形態によれば、セルロス、ビット誤りが起こった場合でもタイムコードなどのヘッダ情報を確実に検出でき、伝送した画像情報などの位置を確実に検出することができ、高品質な画像及び音声伝送が可能となる。

第 10 の実施形態

図 3 1 は、本発明に係る第 10 の実施形態である A T M 伝送装置 1 b の構成を示すブロック図である。図 3 2 は、図 3 1 の A T M セル化回路 1 0 5 a によって実行される A T M セル化処理を示すブロック構成図である。

この第 10 の実施形態は、図 1 の第 1 の実施形態に比較して、A T M セル化回路 1 0 5 a を備えたことを特徴としており、A T M の A A L タイプ 5 のプロトコルを用いて伝送を行う。

図 3 2 において、1 1 0 1 は第 1 の実施形態で説明した、A T M セルブロックシーケンスである。1 1 0 2 は、A A L レイヤの C S のユーザ情報領域及び付加情報である。A A L タイプ 5 の付加情報は、

(a) フレームが 4 8 バイトの倍数になるように調整する 0 ~ 4 7 バイトのパディング (図示せず、以下、P A D という。) と、

(b) 上位レイヤで使用する情報を透過的に転送する、C P C S (Common Part Convergence Sublayer) ユーザ間情報 (CPCS-UU) と、

(c) 現在は用途が未定で、現状は全て 0 に設定される共通部識別子 (CPI: Common Part Indicator) と、

(d) ユーザ情報長をバイト単位で表示する Length と、

(e) C P C S フレーム全体の誤り検出を行う 4 バイト (3 2 ビット) の誤り検出用符号 (CRC-32) と、

からなる。以上の C P C S - U U、C P I、L e n g t h 及び C R C - 3 2 の 8 バイトを以下の説明において、トレイラという。

本発明に係る第 10 の実施形態に関連するのは、ユーザ情報領域、P A D、及び Length である。A A L タイプ 5 のプロトコルの規格では、ユーザ情報領域及び付加情報を合わせて 4 8 バイトの倍数になるように調整するために、P A D を挿入する必要がある。P A D は意味のないデータである

ので、伝送しなければならないデータ量を増加させるので、極力小さくしなければならない。PADを入れる場合は、ユーザ情報領域と CPCS-UU の間に入れる。

1103はAALレイヤのSAR (Segmentation and Re-assembly:セル分解組立) サブレイヤのデータ構成を示す。1104はATMレイヤのセルを示す。1101は、第1の実施形態で説明したように47バイトのATMセルブロックが248個で構成されている。

CSでは1101のATMセルブロック8個から、ユーザ情報を構成する。ここで、ユーザ情報は376バイトとなるので、Lengthには376バイトであることを格納する。付加情報は8バイトであるので、合計384バイトとなり、ATMセルにおけるペイロードの48バイトの倍数となるので、無駄なPADを入れる必要はない。データ1102の処理が済むと、SARレイヤに送られる。SARレイヤでは、AALタイプ5のプロトコルに従い、48バイト毎に分割され、ATMレイヤに送られる。ATMレイヤでは、図32に示すように、1104のハッチング部分に示したように、5バイトのATMセルヘッダをつけて、ATMセルとする。

ATMセルブロックシーケンスは248個のATMセルブロックからなるので、1102のプロトコルデータユニットは、 $248 / 8 = 31$ 個できっちり処理されるので、プロトコルデータユニットを成立させるための、ダミーデータ (PAD) を付加させる必要はなく非常に効率のよい伝送が可能となる。

ATMセル化回路105aはAALレイヤ及びATMレイヤの処理を行うが、これらの処理回路については、現在AALタイプ5のプロトコルで伝送するための機器が普及しており、それらを使用すれば容易に実現可能である。またネットワークインターフェース106に関してもATMの物

理層LSIなどが普及しておりそれらを用いれば容易に実現可能である。従って、AALレイヤ、ATMレイヤ、及びATM物理層は非常に簡易に安価に実現できる。

以上説明したように、本実施形態においては、第1の実施形態と同様に、2.87%のデータ量の削減が可能となり、通信負荷を大幅に削減すると共に、通信網のリソースの使用を削減することができる。また、通信量が減ることにより通信時間が短くなりその分リアルタイム通信の信頼性が高くなる。さらに、ATM網への負荷が非常に小さくなり、網内のATMスイッチにかかる負担が小さくなり、セルロスの起こる確率も非常に小さくなるので誤りに対して非常に信頼性の高い通信が可能となる。またさらに、AALタイプ5のCSのユーザ情報部を有効に使用することができ、効率のよい伝送が可能である。

また、AALレイヤで非常に処理が容易な形で上位レイヤで処理をしてデータを渡すので、AALレイヤ以降の処理のための付加回路を必要とすることなく使用可能である。さらに、AALタイプ5の規格に基づいた処理を行うため、現在普及している機器をそのまま用いることが可能であり、かつ付加する回路の構成も非常に簡易なもので実現可能であるので非常に容易にかつ安価に実現可能である。

第11の実施形態

図33は、本発明に係る第11の実施形態であるDIF処理回路104iの構成を示すブロック図であり、図34は、図33のDIFデータ処理回路104iを備えたATM伝送装置によって実行されるパケットブロック生成方法を示すブロック構成図である。

この第11の実施形態は、図4のDIFデータ処理回路104に比較して、パリティ付加回路1401と、ATMセルブロックシーケンスバッフ

メモリ 1402 と、インターリーブ制御回路 1403 とをさらに備えたことを特徴としている。ここで、パリティ付加回路 1401 は、ブロックバッファメモリ 6002 から出力されるデータ列に対して、所定のデータ単位毎に所定の F E C 用パリティを付加し、上記 F E C 用パリティが付加されたデータを出力する。次いで、インターリーブ制御回路 1403 は、パリティ付加回路 1401 から出力されるデータを、マトリックス形状を有する A T M セルブロックシーケンスバッファメモリ 1402 に、上記マトリックスの第 1 の方向で書き込んだ後、A T M セルブロックシーケンスバッファメモリ 1402 から上記マトリックスの第 1 の方向とは直交する第 2 の方向で読み出すことによりインターリーブ処理を実行して、上記インターリーブ処理後のデータを第 2 の方向のデータ単位毎に出力する。さらに、A T M セル化回路 105 a 及びネットワークインターフェース 106 は、入力されるデータを、上記第 2 の方向のデータ単位を伝送ユニットとして A T M ネットワーク 100 に伝送する。

図 34 に、本発明に係る第 11 の実施形態のデータ処理を示す。第 11 の実施形態では、データのインターリーブを行い、また、A A L タイプ 5 のプロトコルで行われる C R C による誤り検出を有効に利用し、誤り訂正効果を高めることができるという効果を有している。

図 34 において、1201 は第 1 の実施形態で説明した、A T M セルブロックシーケンスである。1202 は A T M セルブロックシーケンス 1201 に対して、後述する方法でインターリーブ処理及び F E C 用パリティ付加処理を行って得られたデータであり、ハッチング部分が F E C 用パリティである。

1203 は A A L レイヤの C S である。1204 は A A L レイヤの S A R サブレイヤのデータ構成を示す。1205 は A T M レイヤのセルを示す。

1203、1204及び1205の処理は、第4の実施形態で説明した方法と同じである。第4の実施形態と異なるのは、FEC用パリティの分だけ情報量が増え、処理回数が増えている点のみである。

図35は、図33のインターリーブ制御回路1403によって実行されるパケットブロック生成方法を示すATMセルブロックシーケンスバッファメモリ1402の記憶内容を示すメモリマップ図である。

図35に示した方法においては、データの書き込み方向と、読み出し方向を、ATMセルブロックシーケンスバッファメモリ1402上の二次元のマトリックスの概念で示している。各ユーザ情報は376バイトであり、ATMセルブロックシーケンスのデータは31個のユーザ情報に格納される。従って、合計で $376 \times 31 = 11656$ バイトであり、ATMセルブロックシーケンスのデータ量に一致する。従って、ダミーデータを入れる必要がなく処理が可能となり、効率のよい伝送が可能となる。

ATMセルブロックシーケンスバッファメモリ1402へのデータの書き込みは、図35に示すように、9001に示すように列方向（当該図の縦方向）に行われる。パリティの量は、要求する訂正能力に応じて、どのような値でもよいが、本実施形態においては、31バイトの情報に対して4バイトとする。

31バイトのデータに対して、4バイトのFEC用パリティをつける。列方向の書き込みがFEC用パリティまで終了すると、次の31バイトのデータに4バイトのFEC用パリティをつけたデータを、行方向のアドレスが増加するように列方向に書き込む。全てのデータとFEC用パリティの書き込みが終了すると、次の読み出しが行われる。

一方、読み出しは、図35に示すように書き込み方向と二次元的に直交する方向（図35の横方向）に行われる。ここで、ユーザ情報0、ユーザ

情報 1、ユーザ情報 2 から、F E C 用パリティ 3 まで読み出しが行われる。

さらに、ユーザ情報の読み出し毎に、図 3 4 の 1 2 0 3 に示すように、C R C 等の付加情報が A A L の処理で行われる。A T M 伝送端末装置の受信機側では、C R C の誤りチェックで、誤りの検出を行うことができ、付加したパリティで消失訂正が可能となるので、A A L の規格を利用して、訂正能力が上がることになる。なお、付加したパリティにより 2 重誤りまでの訂正も可能である。

図 3 3 の D I F データ処理回路 1 0 4 i において、ブロックバッファメモリ 6 0 0 2 から出力された A T M セルブロックシーケンスは 3 1 バイト毎に、パリティ付加回路 1 4 0 1 で 4 バイトの F E C 用パリティを付加された後、A T M セルブロックシーケンスバッファメモリ 1 4 0 2 に入力される。A T M セルブロックシーケンスバッファメモリ 1 4 0 2 は、図 3 5 に示したユーザ情報及び F E C 用パリティを格納できるメモリが 2 枚で構成され、書き込み用と読み出し用に交互に使用される。A T M セルブロックシーケンスバッファメモリ 1 4 0 2 へのデータの書き込み及び読み出しは、インターリーブ制御回路 1 4 0 3 によって行われる。

インターリーブ制御回路 1 4 0 3 はパリティ付加回路 1 4 0 1 から出力された、3 1 バイトのデータに 4 バイトのパリティが付加された 3 5 バイトのデータを、図 3 5 のマトリックスの列方向（図 3 5 の縦方向）で、A T M セルブロックシーケンスバッファメモリ 1 4 0 2 に書き込まれるようにアドレスを発生し、データの書き込みを行う。各列のデータの書き込みが終了すると、行アドレスが増加する方向に、データの列方向の書き込みを進めていき、図 3 5 に示したメモリ分の書き込みが終了すると（ただし、8 バイトの付加情報を除く。）読み出しに切り替わる。読み出しは、図 3 5 のマトリックスの行方向で、A T M セルブロックシーケンスバッファメモ

り1402から読み出されるように、インターリーブ制御回路1403がアドレスを発生し、ユーザ情報単位（376バイト）で順に読み出す。

インターリーブ制御回路1403はインターリーブの固定的なアドレスの発生を繰り返して行うので、1回のシーケンスのアドレスを格納したROMを用いて簡易な回路で構成できる。ATMセルブロックシーケンスバッファメモリ1402から読み出したデータは出力端子1404から出力される。出力端子1404からの出力は図1のDIFデータ処理回路104の出力となるので、次の処理は図1のATMセル化回路105aに移行する。

ATMセル化回路105aは、上述のようにAALレイヤ及びATMレイヤの処理を行うが、これらの処理回路については、現在AALタイプ5のプロトコルで伝送するための機器が普及しており、それらを使用すれば容易に実現可能である。また、ネットワークインターフェース106に関してもATMの物理層LSIなどが普及しておりそれらを用いれば容易に実現可能である。従って、AALレイヤ、ATMレイヤ、及びATM物理層は非常に簡易に安価に実現できる。

以上説明したように、第11の実施形態によれば、ATMの規格に基づいた、AALタイプ5の誤り検出の結果を利用し、さらにFEC用パリティを、AALタイプ5の誤り検出の概念的な方向と直交するように付加することで、誤り訂正効果を向上させている。特に、ATM通信（パケット通信）特有の誤りであるセルロス（パケットロス）がAALタイプ5の誤りチェックで検出可能で、誤りが検出されたCSブロックに対して、消失訂正が可能であるので、セルロスに特に強い、信頼性の高い通信が可能である。

また、インターリーブ制御回路1003によりインターリーブ処理を行

っているので、誤りをA T Mセルブロックシーケンス単位で分散させる効果がきわめて大きい。さらに、A T Mの規格に基づいた製品は多数あり、A A Lの処理についてはそれらの機器を利用可能であるので、本発明は、容易にかつ安価に実現可能である。

さらに、第1の実施形態と同様に、2. 8 7 %のデータ量の削減が可能となり、通信負荷を大幅に削減すると共に、通信網のリソースの使用を削減することができ、また通信量が減ることにより通信時間が短くなり、その分リアルタイム通信の信頼性が高くなる。

またさらに、インターリーブ単位をA T Mセルブロックシーケンスのデータ量と同じとしているので、ダミーデータなどを付加する必要がなく、データ伝送を効率的に行うことが可能であり、通信負荷を大幅に削減すると共に、通信網のリソースの使用を削減することができ、また通信量が減ることにより通信時間が短くなりその分リアルタイム通信の信頼性が高くなる。

また、A A Lレイヤで非常に処理が容易な形で上位レイヤで処理をしてデータを渡すので、A A Lレイヤ以降の処理のための付加回路を必要とすることなく使用可能である。すなわち、現在普及している機器をそのまま用いることが可能であり、かつ付加する回路の構成も非常に簡易なもので実現可能であるので非常に容易にかつ安価に実現可能である。さらに、C R Cによる誤り検出を行っているので、セルロスだけでなくビット誤りも確実に検出し、誤訂正のない高品質な伝送方式を提供できる。

なお、第11の実施形態においてはインターリーブを行ったが、インターリーブを行わない形態においても、本発明の範囲から除外するものではない。その場合、例えば図35における、F E C用パリティの付加方向は本実施形態と同じ方向とし、データの書き込み方向と、読み出し方向を同

じとすればよい。その場合でも、セルロスに対して訂正能力が特に高いという効果は失われない。

なお、第 1 1 の実施形態では圧縮された画像を伝送する場合を例としたが、例えば圧縮しない画像及び音声情報などは誤りが圧縮のパケット毎に伝搬せず、またインターリーブ効果により誤りが分散し、特に高品質な伝送が可能となる。

第 1 2 の実施形態

図 3 6 は、本発明に係る第 1 2 の実施形態の構成を示す図であって、図 3 6 (A) は、第 1 2 の実施形態の D I F データ処理回路 1 0 4 j の構成を示すブロック図であり、図 3 6 (B) は、図 3 6 (A) のブロックバッファメモリ 6 0 0 2 からインターリーブバッファメモリ 2 6 0 0 入力されるデータを示すブロック構成図であり、図 3 6 (C) は、図 3 6 (A) のインターリーブ制御回路 2 6 0 1 によって実行されるインターリーブ方法を示すインターリーブバッファメモリ 2 6 0 0 の記憶内容を示すメモリマップ図であり、図 3 6 (D) は、図 3 6 (A) のパリティ付加回路 2 6 0 2 からインターリーブバッファメモリ 2 6 0 3 に入力されるデータを示すブロック構成図であり、図 3 6 (E) は、図 3 6 (A) のインターリーブ制御回路 2 6 0 4 によって実行されるインターリーブ方法を示すインターリーブバッファメモリ 2 6 0 3 の記憶内容を示すメモリマップ図である。

この第 1 2 の実施形態は、第 1 1 の実施形態である図 3 3 の D I F データ処理回路 1 0 4 i に比較して、回路 1 4 0 1、1 4 0 2 及び 1 4 0 3 に代えて、インターリーブバッファメモリ 2 6 0 0、インターリーブ制御回路 2 6 0 1、パリティ付加回路 2 6 0 2、インターリーブバッファメモリ 2 6 0 3 及びインターリーブ制御回路 2 6 0 4 を備えたことを特徴としている。

この第 1 2 の実施形態の D I F データ処理回路 1 0 4 i は、

(a) ブロックバッファメモリ 6 0 0 2 から出力されるデータ列を、第 1 のマトリックス形状を有するインターリーブバッファメモリ 2 6 0 0 に上記第 1 のマトリックスの第 1 の方向で書き込んだ後、インターリーブバッファメモリ 2 6 0 0 から上記第 1 のマトリックスの第 1 の方向とは直交する第 2 の方向で読み出すことにより第 1 のインターリーブ処理を実行して、上記第 1 のインターリーブ処理後のデータを第 2 の方向のデータ単位で出力するインターリーブ制御回路 2 6 0 1 と、

(b) インターリーブバッファメモリ 2 6 0 0 から出力されるデータに対して、上記第 2 の方向のデータ単位毎に所定の F E C 用パリティを付加し、上記 F E C 用パリティが付加されたデータを出力するパリティ付加回路 2 6 0 2 と、

(c) パリティ付加回路 2 6 0 2 から出力されるデータを、第 2 のマトリックス形状を有するインターリーブバッファメモリ 2 6 0 3 に、上記第 1 のマトリックスの第 2 の方向と一致する上記第 2 のマトリックスの第 4 の方向で書き込んだ後、インターリーブバッファメモリ 2 6 0 3 から上記第 2 のマトリックスの第 4 の方向とは直交する第 3 の方向で読み出すことにより第 2 のインターリーブ処理を実行して、上記第 2 のインターリーブ処理後のデータを第 3 の方向のデータ単位毎に出力するインターリーブ制御回路 2 6 0 4 とを備える。

この第 1 2 の実施形態では第 1 1 の実施形態の方式で、インターリーブを行わない場合について説明する。また、図 3 7 の D I F データ列 1 7 0 2 を伝送する場合を例として説明する。

図 3 8 は、図 3 6 (A) の D I F データ処理回路 1 0 4 j を備えた A T M 伝送装置の A T M セル化回路 1 0 5 から出力されるデータ構造を示すブ

ロック構成図である。図38に示した概念上の二次元マトリックスにおいて、DIFデータ列の書き込み方向と、読み出し方向は一致する。ブロックバッファメモリ6002から出力されるDIFデータ列1702は、上記マトリックスの行方向に書き込まれる、DIFデータ列1702は467バイトであるので、AALタイプ5の処理により、ATMセルの有効データ長48バイトにあわせるために、5バイトのダミーデータ(PAD)をつけ、同様にAALタイプ5の処理によりCRC等が含まれた8バイトのトレイラを付加して、計480バイトとし、ATMセル10個で1つのPDUを伝送する。

最終的に、図38において太枠で示したデータ部に77バイト単位のDIFブロックデータが格納され、それぞれのDIFデータ列に対して、ヘッダがつけられて、それが右下がりハッチングで示したヘッダ部となり、AALタイプ5の伝送プロトコルに基づいて、それぞれのDIFブロックデータ列とヘッダ及びFEC用パリティに対して、当該マトリックスの行方向の末尾にPAD部で示したPAD及びトレイラ部で示したトレイラが付加される。

第12の実施形態ではPDU50個に対して5個のFEC用パリティをつけて伝送するが、FEC用パリティをつける単位はこれに限定されない。

1つのPDUは、図37を用いて説明したように、6個のDIFブロックから構成され、また、図38に示した伝送単位は50行の有効データ部からなるので、1つのPDUは $6 \times 50 = 300$ 個のDIFブロックからなる。1フレームは1500個のDIFブロックからなるので、 $1500 / 300 = 5$ となり、図38の伝送単位5回で、1つのフレームのDVCデータを伝送することができる。

図36(A)において、DIFブロックデータ列の入力は入力端子60

01を介して行われる。図36(A)において、ブロックバッファメモリ6002及びブロックバッファメモリ制御回路6003により、図9及び図36(B)に示すDIFブロックデータ列1702を得る。このデータ列1702は、図9の1702と同じものである。インターリーブバッファメモリ2600は、図38のデータ部及びヘッダ部を格納する大きさを持ち、ブロックバッファメモリ6002から出力されるデータを、二次元マトリックスの概念上、行方向でかつ行を左から右への方方向で移動させながらインターリーブバッファメモリ2600に順次書き込んでいく。インターリーブバッファメモリ2600からのデータの読み出しは列方向でかつ列を上から下への方方向で移動させながら順に読み出される。インターリーブバッファメモリ2600への書き込み及び読み出しの制御はインターリーブバッファメモリ制御回路2601で行われ、これらは固定した書き込み読み出し方法であるので、この方法の制御プログラムを例えば小さな記憶容量のROMに記憶して、当該ROMをインターリーブバッファメモリ制御回路2601に持つことにより容易に実現できる。

インターリーブバッファメモリ2600に書き込まれたデータの構造図を図36(C)に示す。これは、図38のデータ部、ヘッダ部に相当する。

インターリーブバッファメモリ2600からの出力データはパリティ付加回路2602に送られ、図36(D)に示すように、概念上、列方向に50バイトのデータに対して5バイトのFEC用パリティが付加される。

パリティ付加回路2602からの出力データは、インターリーブバッファメモリ2603に書き込まれる。書き込みは、概念上列方向でかつ列を左から右へ移動させながら行われる。データの読み出しは、行方向でかつ行を上から下に移動させながら順に行われる。インターリーブバッファメモリ2603への書き込み及び読み出しの制御はインターリーブバッファ

メモリ制御回路 2604 で行われ、これらは固定した書き込み読み出し方法であるので、その方法の制御プログラムを例えば小さな記憶容量の ROM に記憶して、当該 ROM をインターリーブバッファメモリ制御回路 2604 に持つことにより容易に実現できる。

インターリーブバッファメモリ 2603 に書き込まれたデータの構造図を図 36 (E) に示す。これは、図 38 のデータ部、ヘッダ部、誤り訂正パリティ部に相当する。インターリーブバッファメモリ 2603 からの出力は出力端子を 2605 を介して行われる。

AAL タイプ 5 の処理は、第 10 の実施形態で説明したのと同様に行われ、ATM セル化回路 105a は、PAD の付加、CRC 等のトレイラの付加を行い、処理後の ATM セルブロックは、ネットワークインターフェース 106 を介して ATM ネットワーク 100 に送出される。

以上説明したように、本発明に係る第 12 の実施形態によれば、AAL のプロトコル機能を有効に活用して CRC による誤り検出を行っているので、セルロスだけでなくビット誤りも確実に検出し、その上位層で消失訂正を行うことにより、誤訂正のない高品質な伝送方式を提供できる。

なお、第 12 の実施形態では、図 9 の DIF データ列 1702 を伝送する場合を例として説明を行ったが、本発明においては、データの削除を行うことは発明の要旨ではなく、概念上二次元マトリックスの一方向に誤りチェックを行い、上記方向に直交するように誤り訂正をかけることにより効果を得るので、データの削除を行わない場合でも本発明の範囲から排除するものではない。

第 13 の実施形態

図 39 は、本発明に係る第 13 の実施形態である ATM 伝送装置 1c の構成を示すブロック図であり、図 40 は、図 39 の ATM 伝送装置 1c に

よって実行されるパケットブロック生成方法を示すブロック構成図である。

第13の実施形態のATM伝送装置1cは、データ処理装置1601と、ATM伝送端末装置102とを備え、ここで、データ処理装置1601は、図1と同様のDIFデータ処理回路104と、MPEG-TS生成回路1603とを備える。

第13の実施形態は、

(a) 符号化装置101から出力されるデータ列に基づいて、複数のブロックに属するブロック情報から所定の冗長情報を削除することにより新たな識別子を有する伝送ヘッダを生成して、生成された伝送ヘッダを有する伝送ユニットを生成するDIFデータ処理回路104と、

(b) DIFデータ処理回路104によって生成された伝送ユニットを含むデータ列を、MPEGのトランスポートストリームパケットの単位で複数のパケットに分割して出力するMPEG-TS生成回路1603と、

(c) MPEG-TS生成回路1603から出力される複数のパケットを伝送路を介して伝送するATM伝送端末装置102とを備えたことを特徴としている。

第13の実施形態では、データをMPEGトランスポートストリームパケット（以下、TSPという。）にマッピングし、MPEG over ATMの規格に準じて、既存のMPEG伝送装置に容易に接続可能なデータ伝送方式を提供する。

MPEG over ATMの規格については、「The ATM Forum Technical Committee Audiovisual Multimedia Service : Video on Demand Specification 1.0」af-saa-0049.000 December, 1995、ATM Forum Technical Committeeに記載されている。

図40において、1501は第1の実施形態で説明した、ATMセルブ

ロックシーケンスである。ATMセルブロックシーケンスは、47バイトのATMセルブロックが248個からなる。一方、TSPは188バイトで構成される。従って、 $47 \times 248 / 188 = 62$ 個のTSPにきっちり納めることが可能となる。すなわち、4個のATMセルブロックをTSPに納める。図40において、1501から1502への変換がその様子を示している。

以降の処理は、MPEG over ATM の規格に準ずるものであり、1503に示すように、MTPを2個合わせて、AALタイプ5の付加情報をつけ、次いで、1504に示すように、48バイトのセルに分割し、さらに、1505に示すように、ATMのセルヘッダを付けてATM伝送を行う。

第13の実施形態においては、ATMセルブロックシーケンス1501をつくった時点（AALに対して上位レイヤ）で既に、MTPにマッピングするのに適したデータ量、すなわち総データ量が188バイトの倍数になっているので、その後のデータは順次所定の処理を行っているだけであるので非常に簡易なものとなる。

図39において、1601はMPEGトランスポートストリームを発生させるデータ処理装置であり、DIFデータ処理回路104及びMPEG-TS生成回路1603からなる。DIFデータ処理回路104は図1のものと同一であり、すなわち図4の回路と同じである。MPEG-TS生成回路1603は、DIFデータ処理回路104から出力されるデータ列に基づいて、ATMセルブロック4個から188バイト単位のデータを作成し、MPEGのトランスポートストリームを出力する。ATM伝送端末装置102は、図1と同様の回路を有し、MPEG-TS生成回路1603から出力されるMPEGトランスポートストリームをATMセル化してATMネットワーク100に送出する。すなわち、ATM伝送端末装置1

02は、図40の1503、1504、1505及びその下位レイヤの物理層の処理を行い、ATMネットワーク100に送出する装置であり、現在広く普及している装置がそのまま利用可能であるので、簡易かつ安価に実現できる。

以上説明したように、第13の実施形態によれば、DVCデータを、MPEG over ATMの規格に最適なデータ構成とすることにより、現在広く普及しているMPEG伝送機器を利用可能となり、現在普及している機器をそのまま用いることができ、非常に簡易な構成で安価にDVCデータをATM伝送可能となる。

また、第13の実施形態においては、第1の実施形態と同様に、2.87%のデータ量の削減が可能となり、通信負荷を大幅に削減すると共に、通信網のリソースの使用を削減することができる。また、通信量が減ることにより通信時間が短くなりその分リアルタイム通信の信頼性が高くなる。

さらに、ATM網に与える負荷も小さく、網内のATMスイッチ等に与える負荷が小さいのでセルロス等の確率が非常に小さくなり、誤りに対して非常に強い信頼性の高い通信が可能となる。

なお、第13の実施形態においては、AALレイヤの処理をAALタイプ5としたが、ATMセルブロックは47バイトで構成されるのでAALタイプ1のプロトコルで処理する場合にも非常に適しており、AALタイプ1のプロトコルで伝送可能なMPEG伝送装置も現在広く普及しており、それらの装置をそのまま利用することが可能である。

以上説明したように、本発明に係る第1乃至第13の実施形態では、デジタル化された、画像信号、音声信号及び付加情報をATMで伝送可能となる。

なお、以上の実施形態では、伝送手段としてATMを例としたが、その

他のパケット通信を伝送手段として用いる場合でも本願の発明の範囲から除外するものではない。

また、以上の実施形態では、民生用デジタルV T Rのデータを例として用いたが、同じ圧縮方式で放送業務用のデジタルV T Rも規格化審議中であり、それに本願の発明を適応する場合でも、本発明の範囲から除外するものではない。

産業上の利用可能性

以上詳述したように本発明では、現在普及している機器をそのまま用いることが可能であり、かつ付加する回路の構成も非常に簡易なもので実現可能であるので非常に容易にかつ安価に実現可能である。また、本発明によれば、画像データ、音声データ、その他の付加情報データを、固定長のブロックに分割して配置したデータ列で出力される、例えばD V C方式のデータを、例えばA T Mネットワークなどのパケット通信ネットワークで伝送可能となる。

第1の発明では、情報量を大幅に削減した通信が可能となり、通信負荷を大幅に削減すると共に、通信網のリソースの使用を削減することができ、また通信量が減ることにより通信時間が短くなり、その分リアルタイム通信の信頼性が高くなる。また、パケット通信ネットワークで使用する通信帯域が少なくなり、ネットワークへ与える負荷が小さくなり、当該ネットワークのスイッチの処理に与える負荷も小さくなるので、パケット廃棄などの確率が小さくなり、信頼性の高い通信が可能となる。

第2の発明では、パケットロス及びビット誤りが誤り訂正範囲内であれば誤り訂正により訂正、誤り訂正能力を超えるパケットロス及びビット誤りが起こった場合でも誤り伝搬せず、パケットロス及びビット誤りに対して非常に強い高品質な画像及び音声伝送を提供できる。

第3の発明では、パケットロス及びビット誤りが誤り訂正範囲内であれば誤り訂正により訂正し、誤り訂正能力を超えるパケットロス、ビット誤りが起こった場合は、誤りチェックによりビット誤りの有無を確実に検出し、ビット誤りが含まれないD I Fブロックに対してはそのまま出力することにより大部分のデータを活かし、ビット誤りが含まれるD I Fブロックは誤りとして扱い、誤り修整の処理を行うことにより高画質かつ高音質を維持した伝送方式を提供できる。

第4の発明では、パケットロス及びビット誤りが起こった場合でもタイムコードなどのヘッダ情報を確実に検出でき、伝送した画像情報などの位置を確実に検出することができ、高品質な画像及び音声伝送が可能となる。

第5の発明では、所定のパケット通信ネットワークの伝送規格に基づいた誤り検出の結果を利用し、さらにF E C用パリティを、上記誤り検出の概念的な方向と直交するようにつけることで、誤り訂正効果を最大限に利用することが可能となる。特に、パケット通信ネットワークの特有の誤りであるパケットロスが上記誤り検出で検出可能で、誤りが検出された所定のブロックに対して、消失訂正が可能であるので、パケットロスに特に強い、信頼性の高い通信が可能である。

第6の発明では、第1の発明と同様の効果を有すると共に、例えばD V Cデータなどのデジタルデータを、MPEG over ATM の規格に最適なデータ構成とすることが可能となる。従って、現在広く普及しているM P E G 伝送機器を利用することが可能となり、現在普及している機器をそのまま用いることができ、非常に簡易な構成で安価に、例えばD V CデータなどのデジタルデータをA T M伝送することが可能となる。

請求の範囲

1. 所定のデータを、ブロックの種類を特定するためのブロック情報がそれぞれ付加された固定長の複数のブロックに分割して配置したデータ列を含む伝送ユニットをパケットの形式で伝送するパケット伝送装置において、

上記データ列に基づいて、複数のブロックに属するブロック情報から所定の冗長情報を削除することにより新たな識別子を有する伝送ヘッダを生成して、生成された伝送ヘッダを有する伝送ユニットを生成する生成手段と、

上記生成手段によって生成された伝送ユニットを伝送路を介して伝送する伝送手段とを備えたパケット伝送装置。

2. 上記生成手段は、複数のブロック情報を所定の1つのブロック情報で代表させることにより新たな識別子を生成して、生成された識別子を有する伝送ヘッダを生成する請求項1記載のパケット伝送装置。

3. 上記生成手段は、同一のブロック情報を1つのブロック情報で代表させる請求項2記載のパケット伝送装置。

4. 上記生成手段は、予備データと無効データのうちの少なくとも一方を含む冗長情報を削除する請求項1乃至3のうちの1つに記載のパケット伝送装置。

5. 上記伝送ヘッダは、タイムコードと、シリアル番号とを含む請求項1乃至4のうちの1つに記載のパケット伝送装置。

6. 上記伝送手段は、非同期転送モードのアダプテーションレイヤの機能としてAALタイプ1を用いたATM伝送方式で上記伝送ユニットを伝送する請求項1乃至5のうちの1つに記載のパケット伝送装置。

7. 上記伝送手段は、非同期転送モードのアダプテーションレイヤの機能としてAALタイプ5を用いたATM伝送方式で上記伝送ユニットを伝送

する請求項 1 乃至 5 のうちの 1 つに記載のケット伝送装置。

8. 上記生成手段は、上記生成された伝送ユニットに対して、誤り訂正用パリティを付加した後、上記付加された誤り訂正用パリティを含むデータに対してインターリーブ処理を実行して、上記インターリーブ処理後のデータを伝送ユニットとして出力する請求項 6 記載のケット伝送装置。

9. 上記生成手段は、上記付加された誤り訂正用パリティを含むデータをマトリックス形状を有する記憶装置に上記マトリックスの第 1 の方向で書き込んだ後、上記記憶装置から上記マトリックスの第 1 の方向とは直交する第 2 の方向で読み出すことによりインターリーブ処理を実行する請求項 8 記載のケット伝送装置。

10. 所定のデータを固定長の複数のブロックに分割して配置したデータ列を含む伝送ユニットをケットの形式で伝送するケット伝送装置において、

上記データ列を、第 1 のマトリックス形状を有する第 1 の記憶装置に上記第 1 のマトリックスの第 1 の方向で書き込んだ後、上記第 1 の記憶装置から上記第 1 のマトリックスの第 1 の方向とは直交する第 2 の方向で読み出すことにより第 1 のインターリーブ処理を実行して、上記第 1 のインターリーブ処理後のデータを第 2 の方向のデータ単位で出力する第 1 のインターリーブ処理手段と、

上記第 1 のインターリーブ処理手段から出力されるデータに対して、上記第 2 の方向のデータ単位毎に所定の誤り訂正用パリティを付加し、上記誤り訂正用パリティが付加されたデータを出力するパリティ付加手段と、

上記パリティ付加手段から出力されるデータを、第 2 のマトリックス形状を有する第 2 の記憶装置に、上記第 1 のマトリックスの第 2 の方向と一致する上記第 2 のマトリックスの第 4 の方向で書き込んだ後、上記第 2 の

記憶装置から上記第2のマトリックスの第4の方向とは直交する第3の方向で読み出すことにより第2のインターリーブ処理を実行して、上記第2のインターリーブ処理後のデータを第3の方向のデータ単位毎に出力する第2のインターリーブ処理手段と、

上記第2のインターリーブ処理手段から出力されるデータを、第3の方向のデータ単位を伝送ユニットとして伝送路を介して伝送する伝送手段とを備えたパケット伝送装置。

11. 上記第1のインターリーブ処理手段の前段に設けられ、上記データ列に基づいて、複数のブロックに属するブロック情報から所定の冗長情報を削除することにより新たな識別子を有する伝送ヘッダを生成して、生成された伝送ヘッダを有する伝送ユニットを含むデータを上記第1のインターリーブ処理手段に出力する生成手段をさらに備えた請求項10記載のパケット伝送装置。

12. 上記伝送手段は、非同期転送モードのアダプテーションレイヤの機能としてAALタイプ1を用いたATM伝送方式で上記伝送ユニットを伝送する請求項10又は11記載のパケット伝送装置。

13. 上記伝送手段は、非同期転送モードのアダプテーションレイヤの機能としてAALタイプ5を用いたATM伝送方式で上記伝送ユニットを伝送する請求項10又は11記載のパケット伝送装置。

14. 所定のデータ列に対して、データ列が並置された方向に、誤り検出用パリティを付加して、上記誤り検出用パリティが付加されたデータ列を所定のデータ単位で出力する第1のパリティ付加手段と、

上記第1のパリティ付加手段から出力されるデータ列を、第1のマトリックス形状を有する第1の記憶装置に上記第1のマトリックスの第1の方向で書き込んだ後、上記第1の記憶装置から上記第1のマトリックスの第

1 の方向とは直交する第 2 の方向で読み出すことにより第 1 のインターリーブ処理を実行して、上記第 1 のインターリーブ処理後のデータを第 2 の方向のデータ単位で出力する第 1 のインターリーブ処理手段と、

上記第 1 のインターリーブ処理手段から出力されるデータに対して、上記第 2 の方向のデータ単位毎に所定の誤り訂正用パリティを付加し、上記誤り訂正用パリティが付加されたデータを出力する第 2 のパリティ付加手段と、

上記第 2 のパリティ付加手段から出力されるデータを、第 2 のマトリックス形状を有する第 2 の記憶装置に、上記第 1 のマトリックスの第 2 の方向と一致する上記第 2 のマトリックスの第 4 の方向で書き込んだ後、上記第 2 の記憶装置から上記第 2 のマトリックスの第 4 の方向とは直交する第 3 の方向で読み出すことにより第 2 のインターリーブ処理を実行して、上記第 2 のインターリーブ処理後のデータを第 3 の方向のデータ単位毎に出力する第 2 のインターリーブ処理手段と、

上記第 2 のインターリーブ処理手段から出力されるデータを、第 3 の方向のデータ単位を伝送ユニットとして伝送路を介して伝送する伝送手段とを備えたバケット伝送装置。

15. 上記第 1 のパリティ付加手段の前段に設けられ、上記データ列に基づいて、複数のブロックに属するブロック情報から所定の冗長情報を削除することにより新たな識別子を有する伝送ヘッダを生成して、生成された伝送ヘッダを有する伝送ユニットを含むデータを上記第 1 のパリティ付加手段に出力する生成手段をさらに備えた請求項 14 記載のバケット伝送装置。

16. 所定のデータを固定長の複数のブロックに分割して配置したデータ列を含む伝送ユニットをバケットの形式で伝送するバケット伝送装置にお

いて、

上記データ列に基づいて、複数のブロックに属するブロック情報から新たな識別子を有する複数の伝送ヘッダを生成して、生成された複数の伝送ヘッダを有する伝送ユニットを含むデータを出力する生成手段と、

上記生成手段から出力されるデータを、第1のマトリックス形状を有する第1の記憶装置に上記第1のマトリックスの第1の方向で書き込んだ後、上記第1の記憶装置から上記第1のマトリックスの第1の方向とは直交する第2の方向で読み出すことにより第1のインターリーブ処理を実行して、上記第1のインターリーブ処理後のデータを第2の方向のデータ単位で出力する第1のインターリーブ処理手段と、

上記第1のインターリーブ処理手段から出力されるデータに対して、上記第2の方向のデータ単位毎に所定の誤り訂正用パリティを付加し、上記誤り訂正用パリティが付加されたデータを出力するパリティ付加手段と、

上記パリティ付加手段から出力されるデータを、第2のマトリックス形状を有する第2の記憶装置に、上記第1のマトリックスの第2の方向と一致する上記第2のマトリックスの第4の方向で書き込んだ後、上記第2の記憶装置から上記第2のマトリックスの第4の方向とは直交する第3の方向で読み出すことにより第2のインターリーブ処理を実行して、上記第2のインターリーブ処理後のデータを第3の方向のデータ単位毎に出力する第2のインターリーブ処理手段と、

上記第2のインターリーブ処理手段から出力されるデータを、第3の方向のデータ単位を伝送ユニットとして伝送路を介して伝送する伝送手段とを備え、

上記生成手段は、上記複数の伝送ヘッダがそれぞれ異なる、上記第3の方向のデータ単位に位置するように、上記複数の伝送ヘッダを、上記伝送

ユニットを含むデータ中に配置するパケット伝送装置。

17. 所定のデータを固定長の複数のブロックに分割して配置したデータ列を含む伝送ユニットをパケットの形式で伝送するパケット伝送装置において、

上記データ列に対して、所定のデータ単位毎に所定の誤り訂正用パリティを付加し、上記誤り訂正用パリティが付加されたデータを出力するパリティ付加手段と、

上記パリティ付加手段から出力されるデータを、マトリックス形状を有する記憶装置に、上記マトリックスの第1の方向で書き込んだ後、上記記憶装置から上記マトリックスの第1の方向とは直交する第2の方向で読み出すことによりインターリーブ処理を実行して、上記インターリーブ処理後のデータを第2の方向のデータ単位毎に出力するインターリーブ処理手段と、

上記インターリーブ処理手段から出力されるデータを、上記第2の方向のデータ単位を伝送ユニットとして伝送路を介して伝送する伝送手段とを備えたパケット伝送装置。

18. 上記第2の方向のデータ単位は、非同期転送モードのセルブロックの単位である請求項17記載のパケット伝送装置。

19. 上記パリティ付加手段の前段に設けられ、上記データ列に基づいて、複数のブロックに属するブロック情報から所定の冗長情報を削除することにより新たな識別子を有する伝送ヘッダを生成して、生成された伝送ヘッダを有する伝送ユニットを含むデータを上記パリティ付加手段に出力する生成手段をさらに備えた請求項17又は18記載のパケット伝送装置。

20. 所定のデータを、ブロックの種類を特定するためのブロック情報がそれぞれ付加された固定長の複数のブロックに分割して配置したデータ列

を含む伝送ユニットをパケットの形式で伝送するパケット伝送装置において、

上記データ列に基づいて、複数のブロックに属するブロック情報から所定の冗長情報を削除することにより新たな識別子を有する伝送ヘッダを生成して、生成された伝送ヘッダを有する伝送ユニットを生成する生成手段と、

上記生成手段によって生成された伝送ユニットを含むデータ列を、MPEGのトランスポートストリームパケットの単位で複数のパケットに分割して出力するパケット化手段と、

上記パケット化手段から出力される複数のパケットを伝送路を介して伝送する伝送手段とを備えたパケット伝送装置。

図1

第1の実施形態

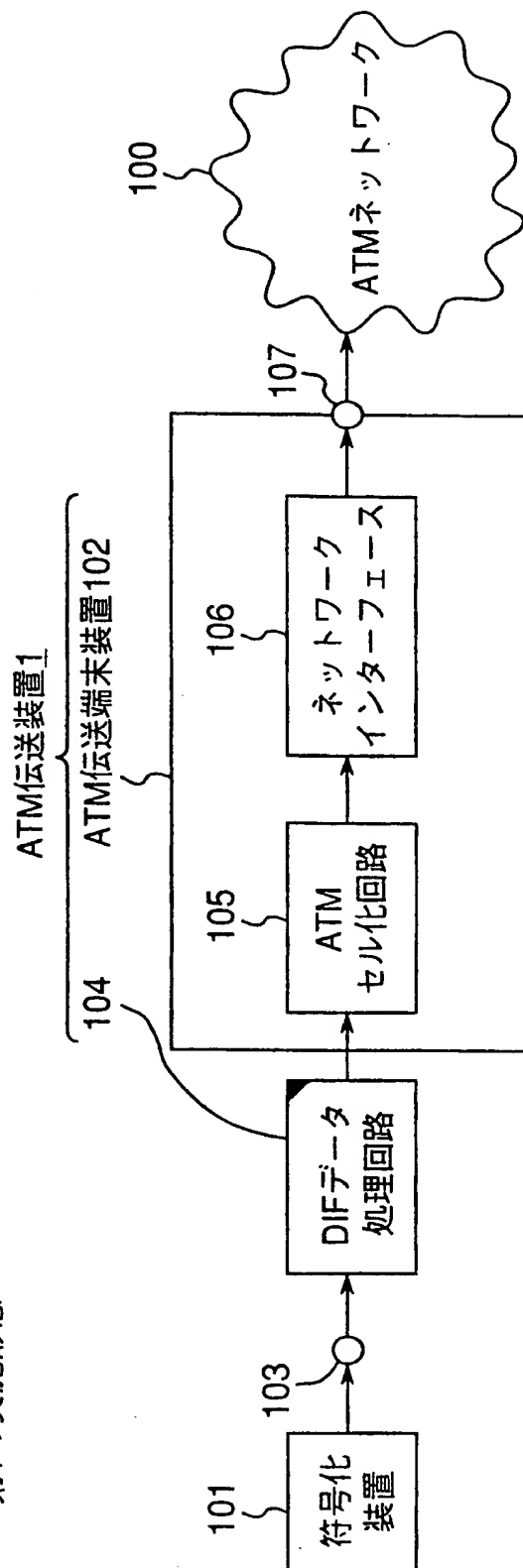


図3
第1の実施形態

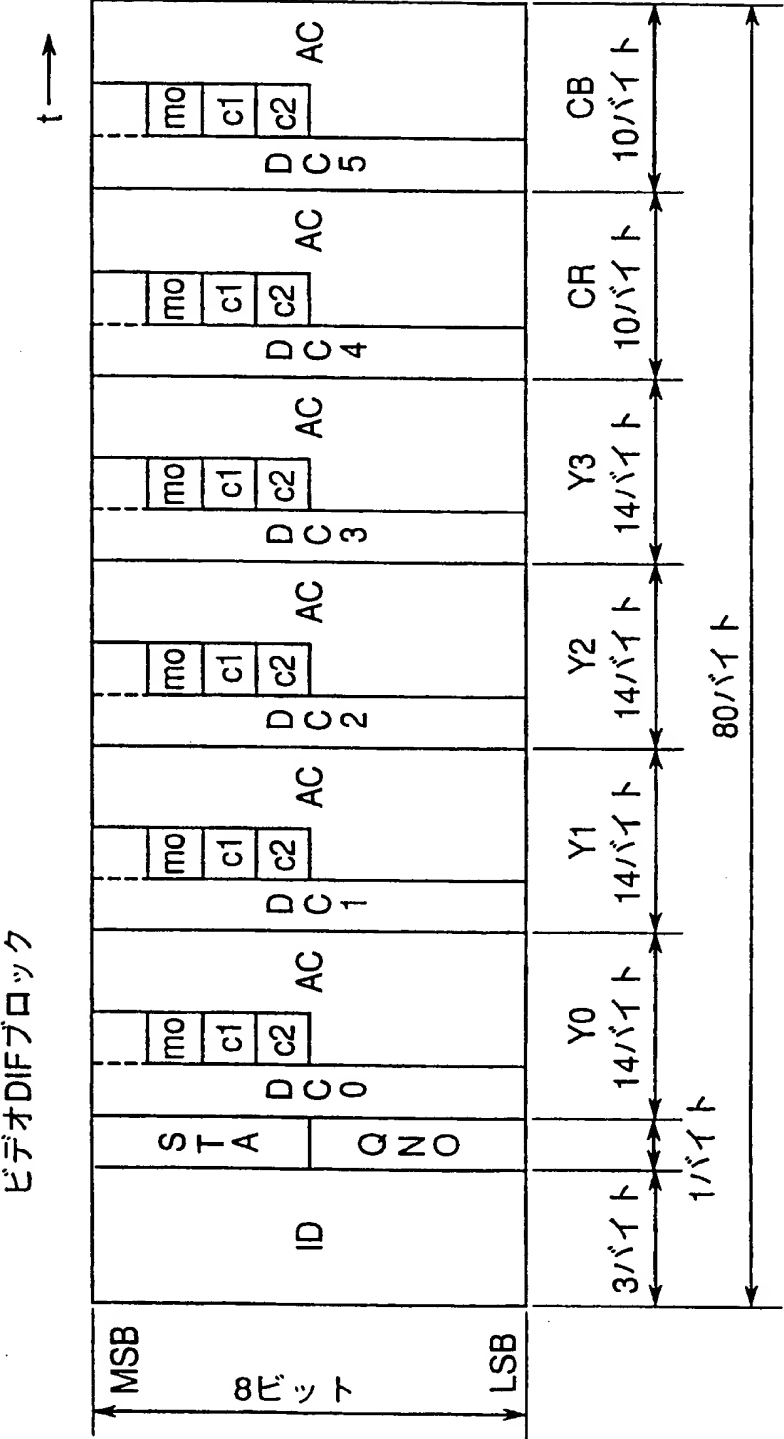


図4
第1の実施形態

DIFデータ処理回路 104

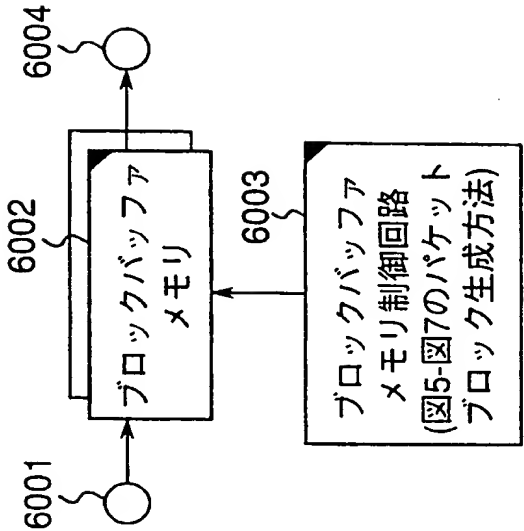


図5

第1の実施形態

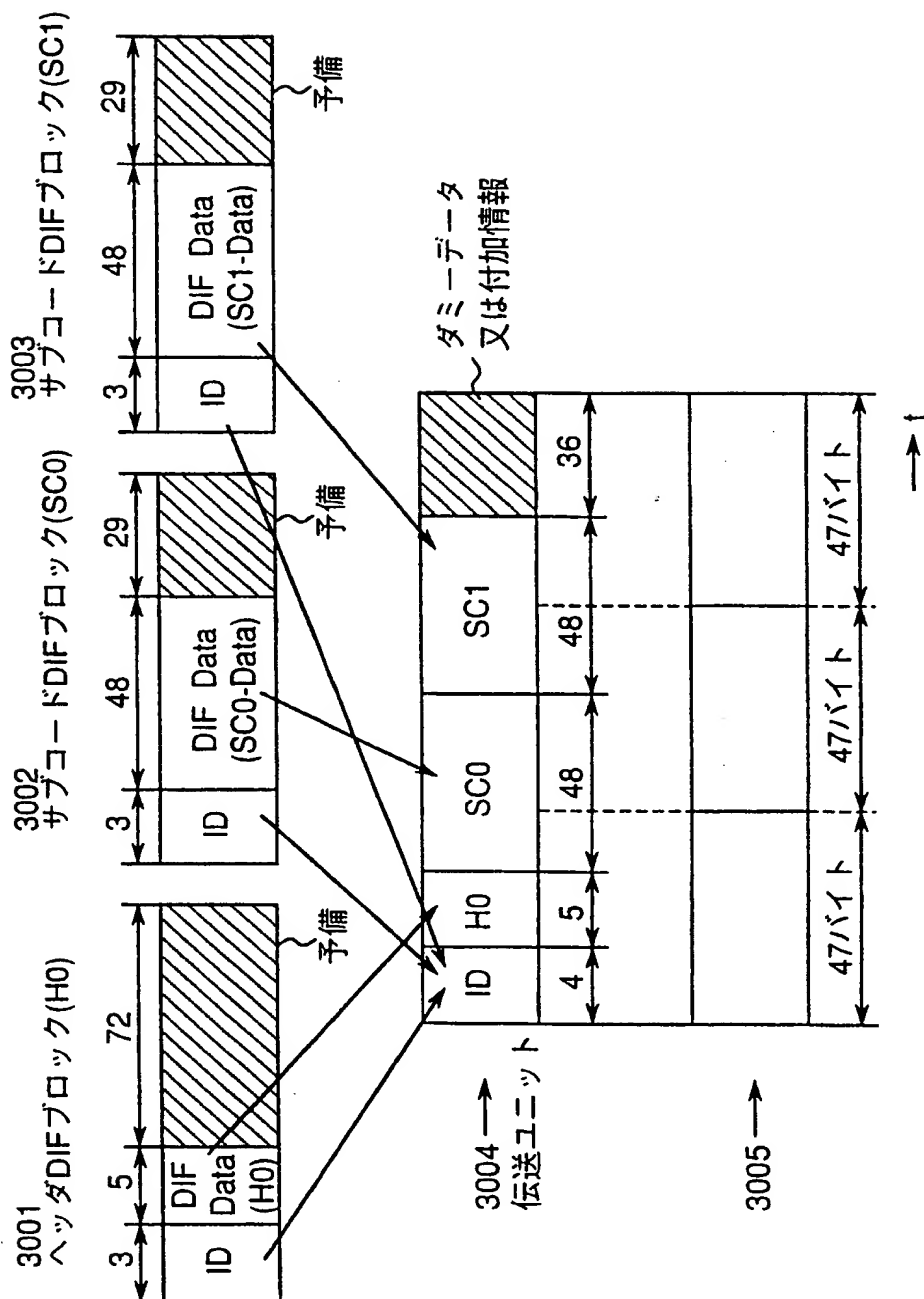


図6

第1の実施形態

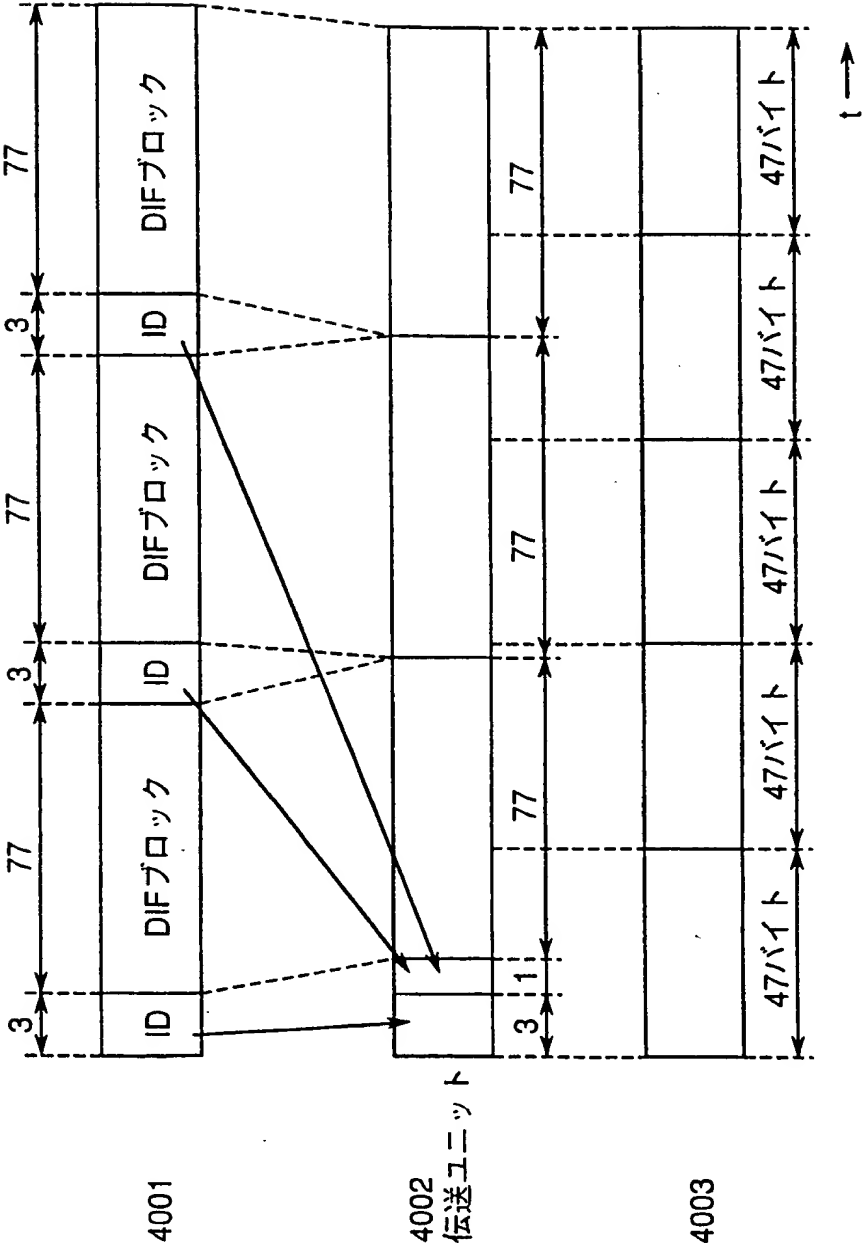


図7

第1の実施形態

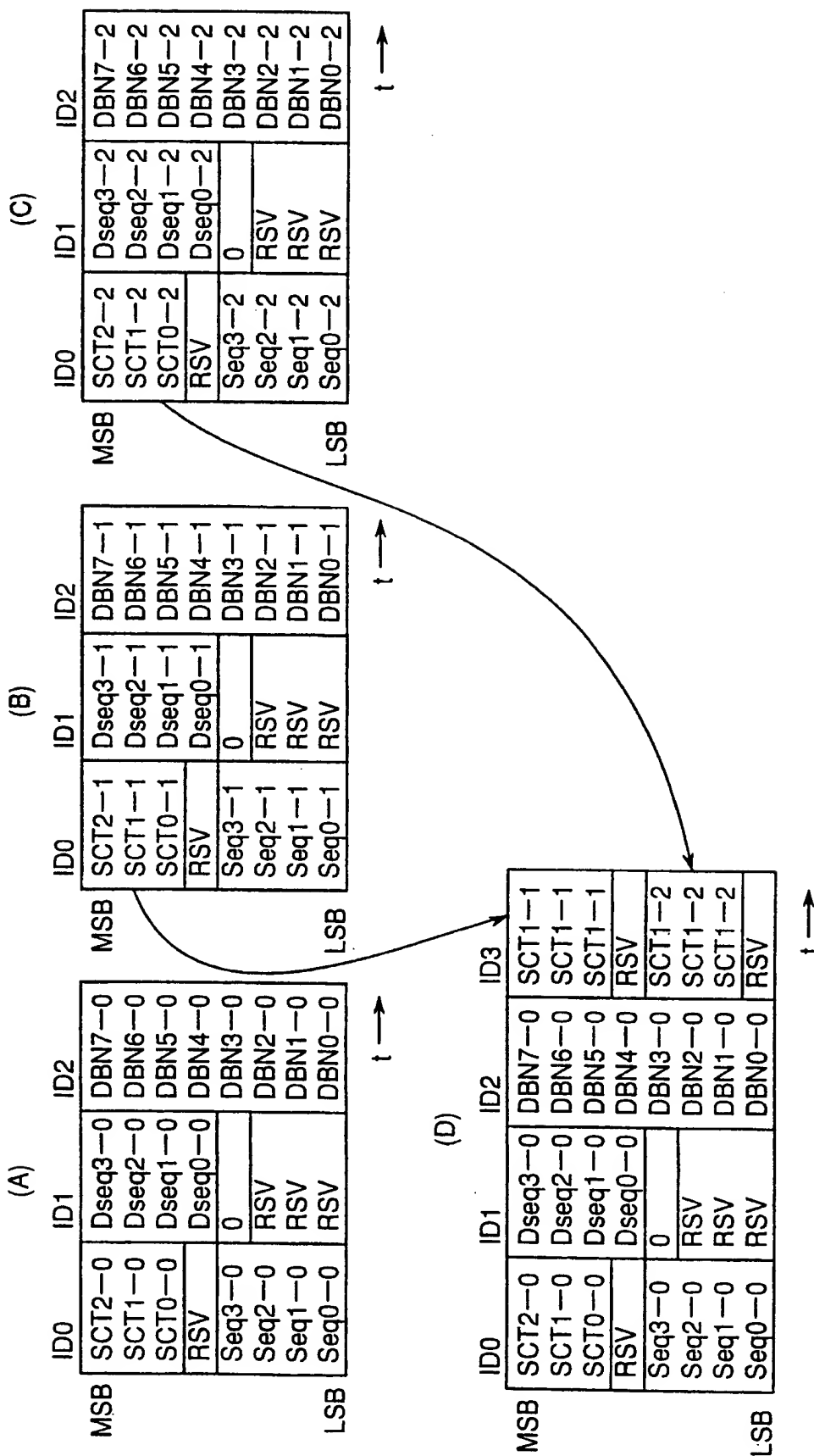
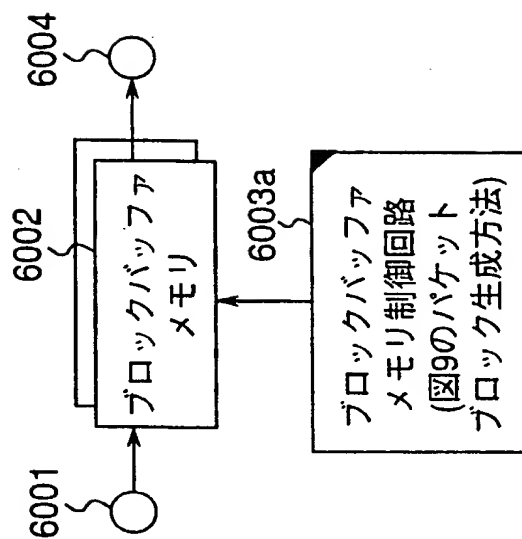


図8
第2の実施形態

DIFデータ処理回路 104a



9
X

第2の実施形態

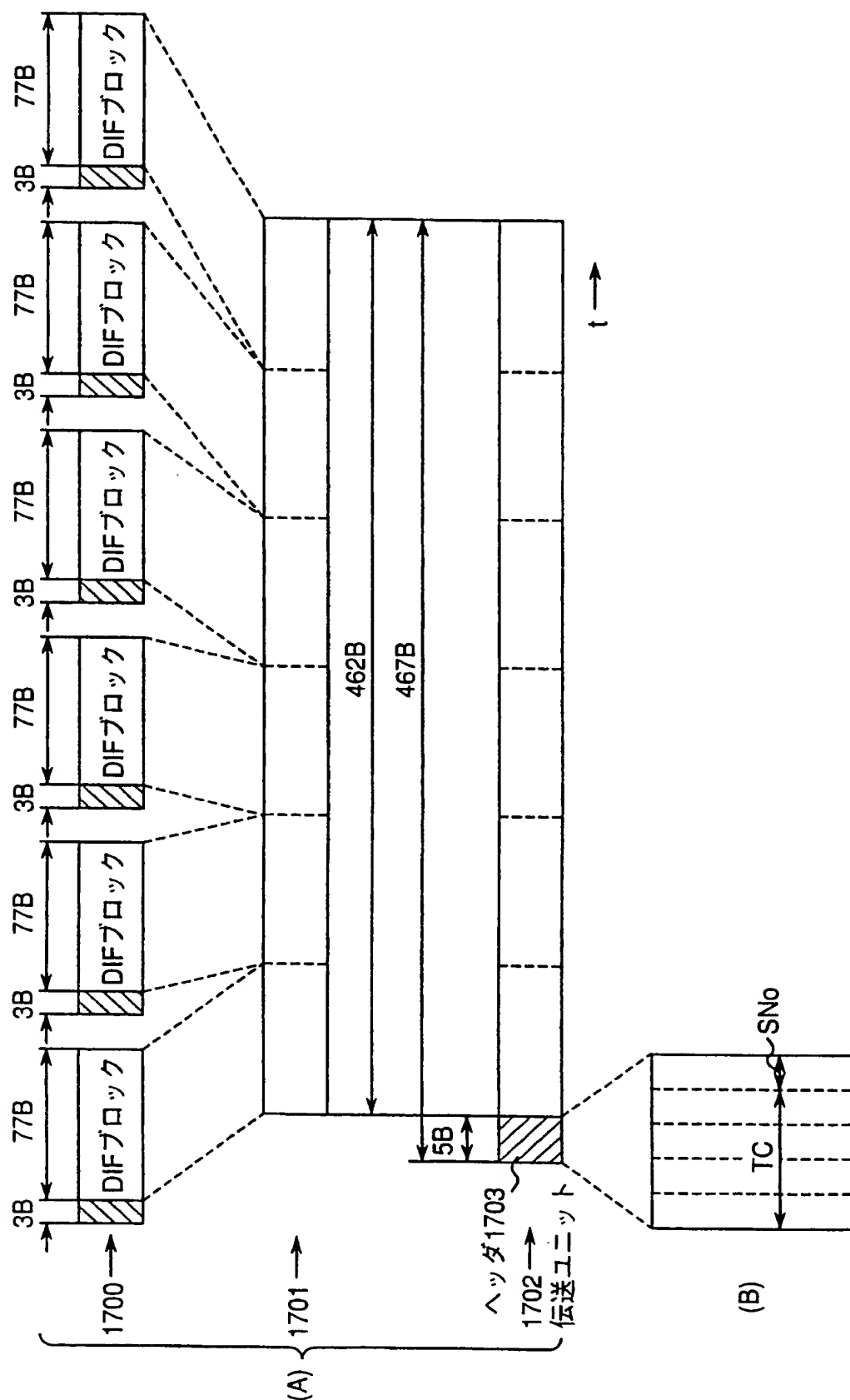
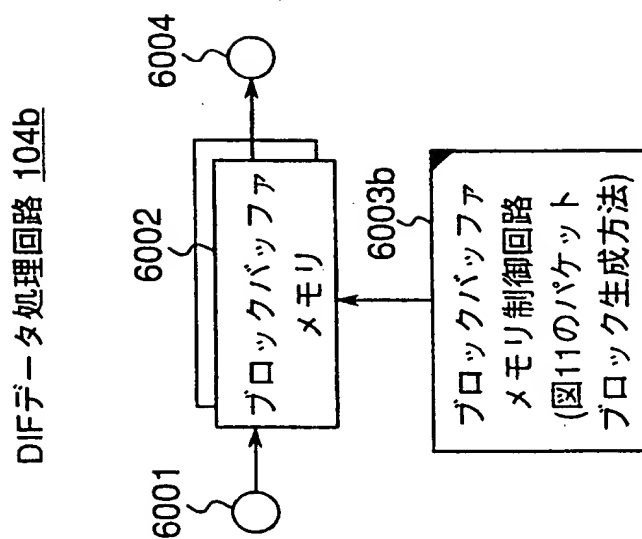


図10
第3の実施形態



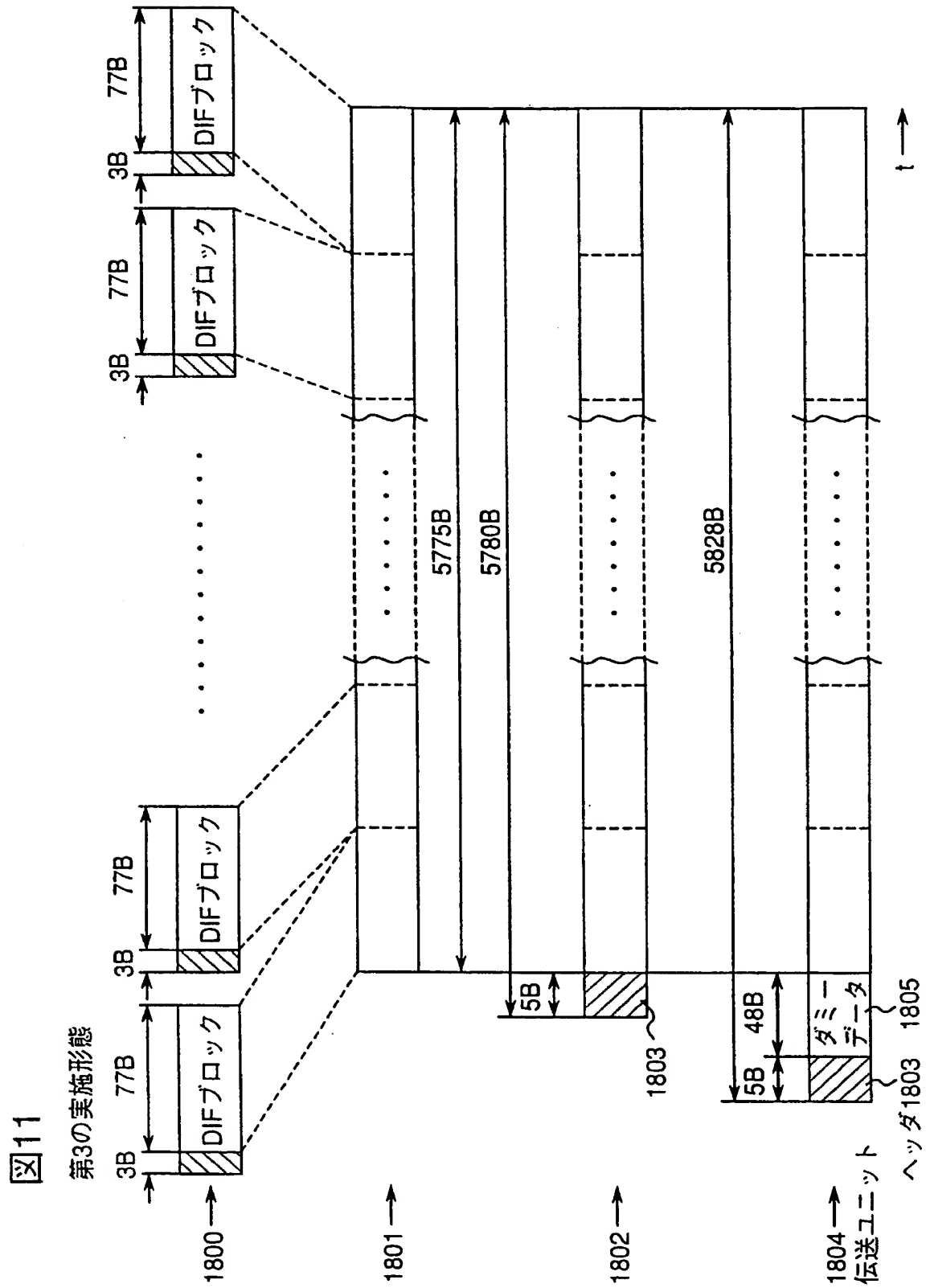


図12
第4の実施形態

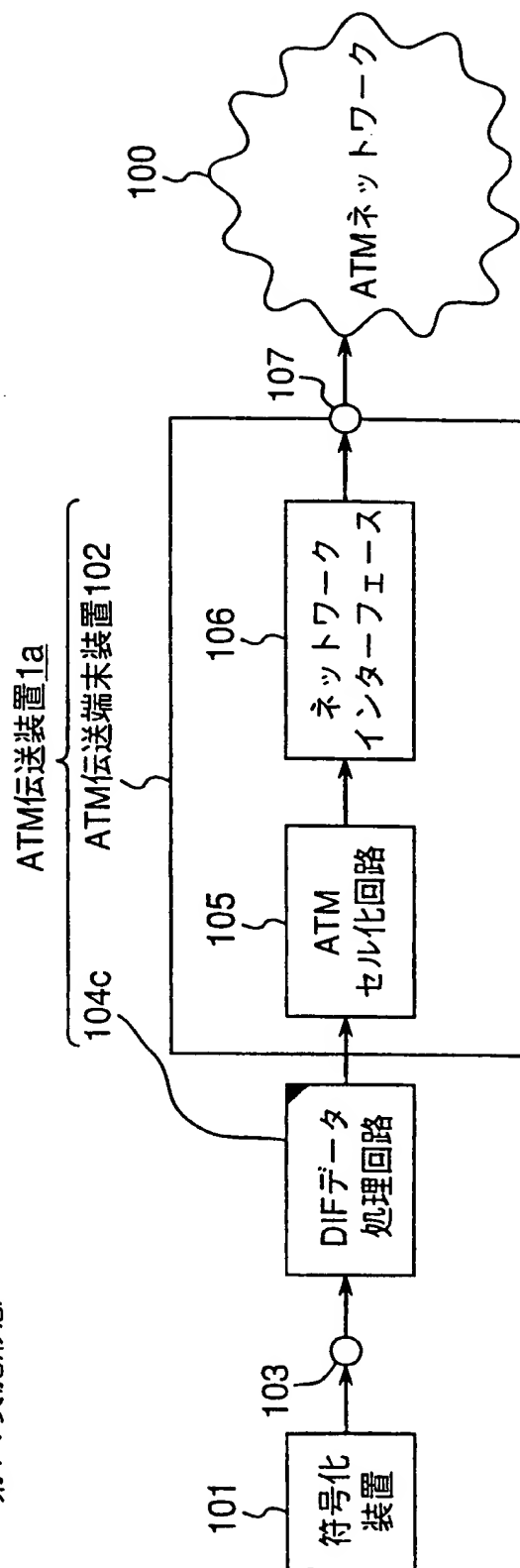


図13
第4の実施形態
(第1の実施形態の変形例)

DIFデータ処理回路 104c

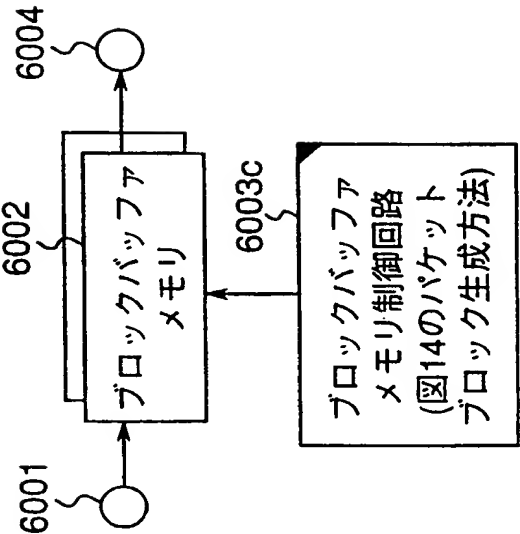


図14

第4の実施形態

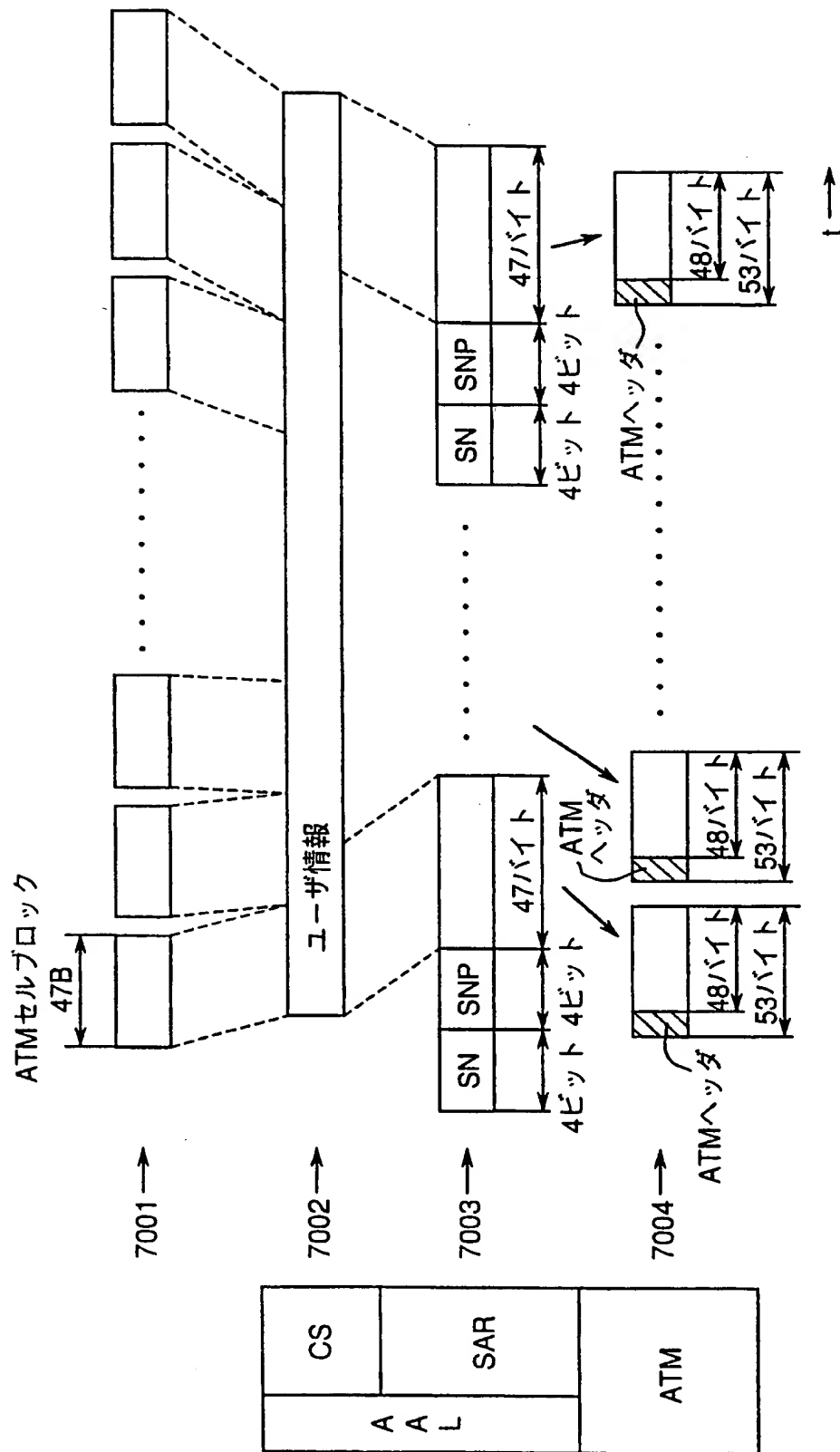
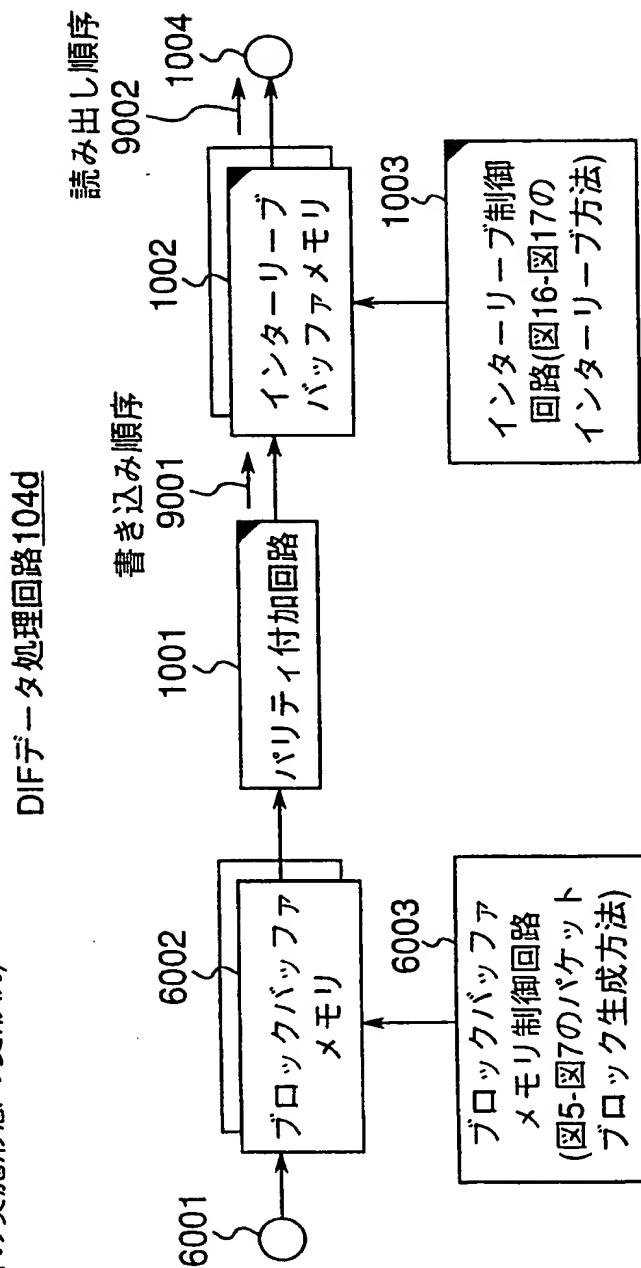


図15
第5の実施形態
(第1の実施形態の変形例)



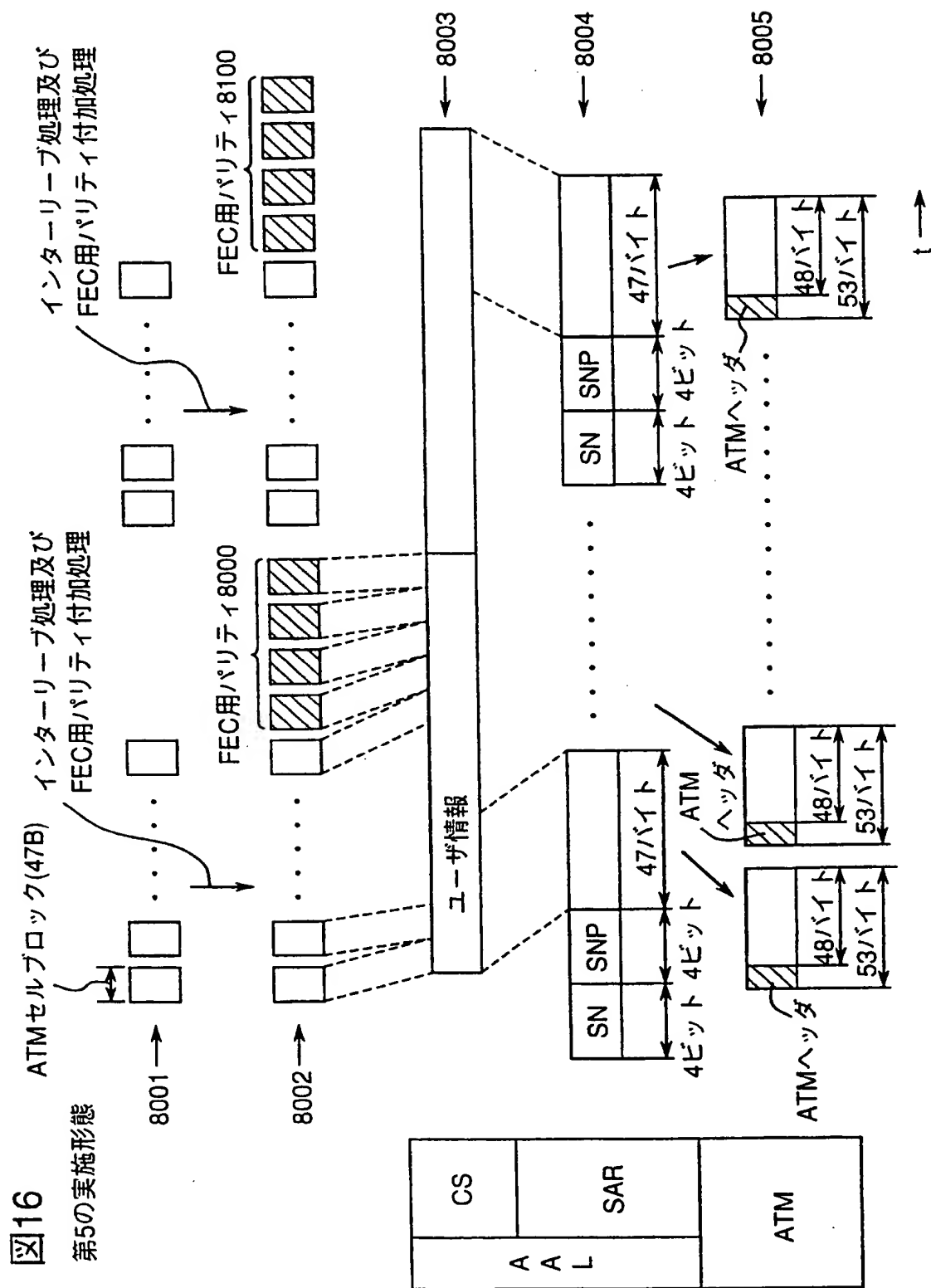


図17

第5の実施形態

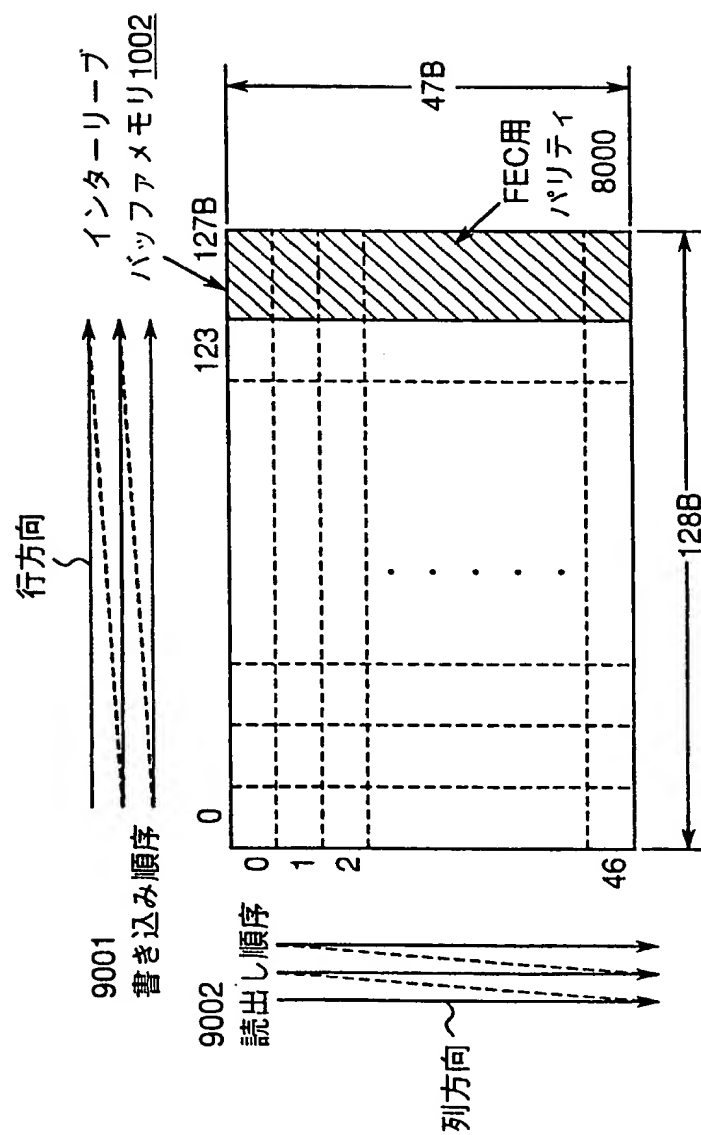


図18

第6の実施形態
(第3の実施形態の変形例)

DIFデータ処理回路104e

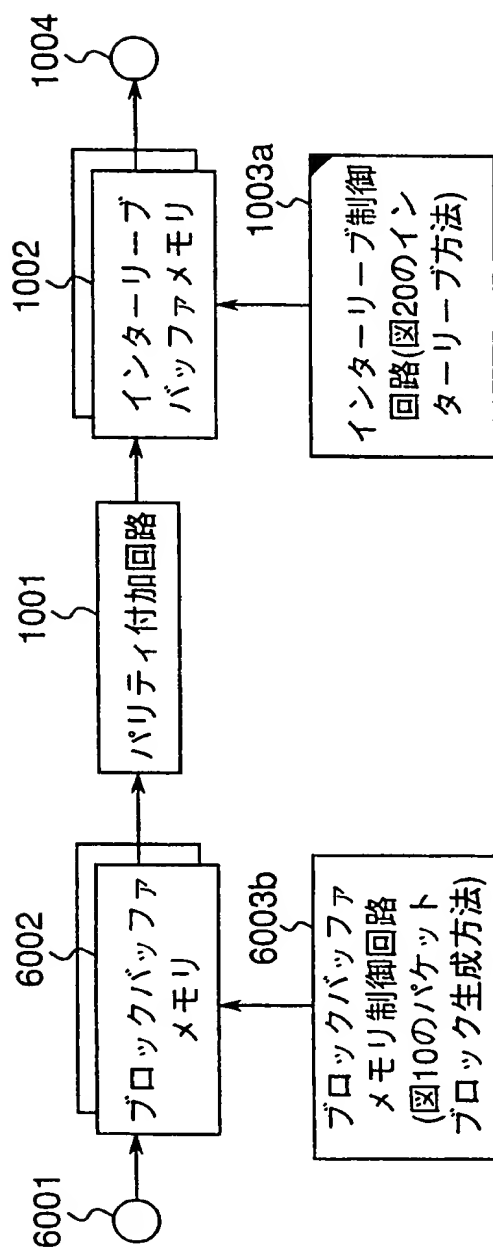


図19

第6の実施形態 (=第3の実施形態のパケットブロック生成方法)

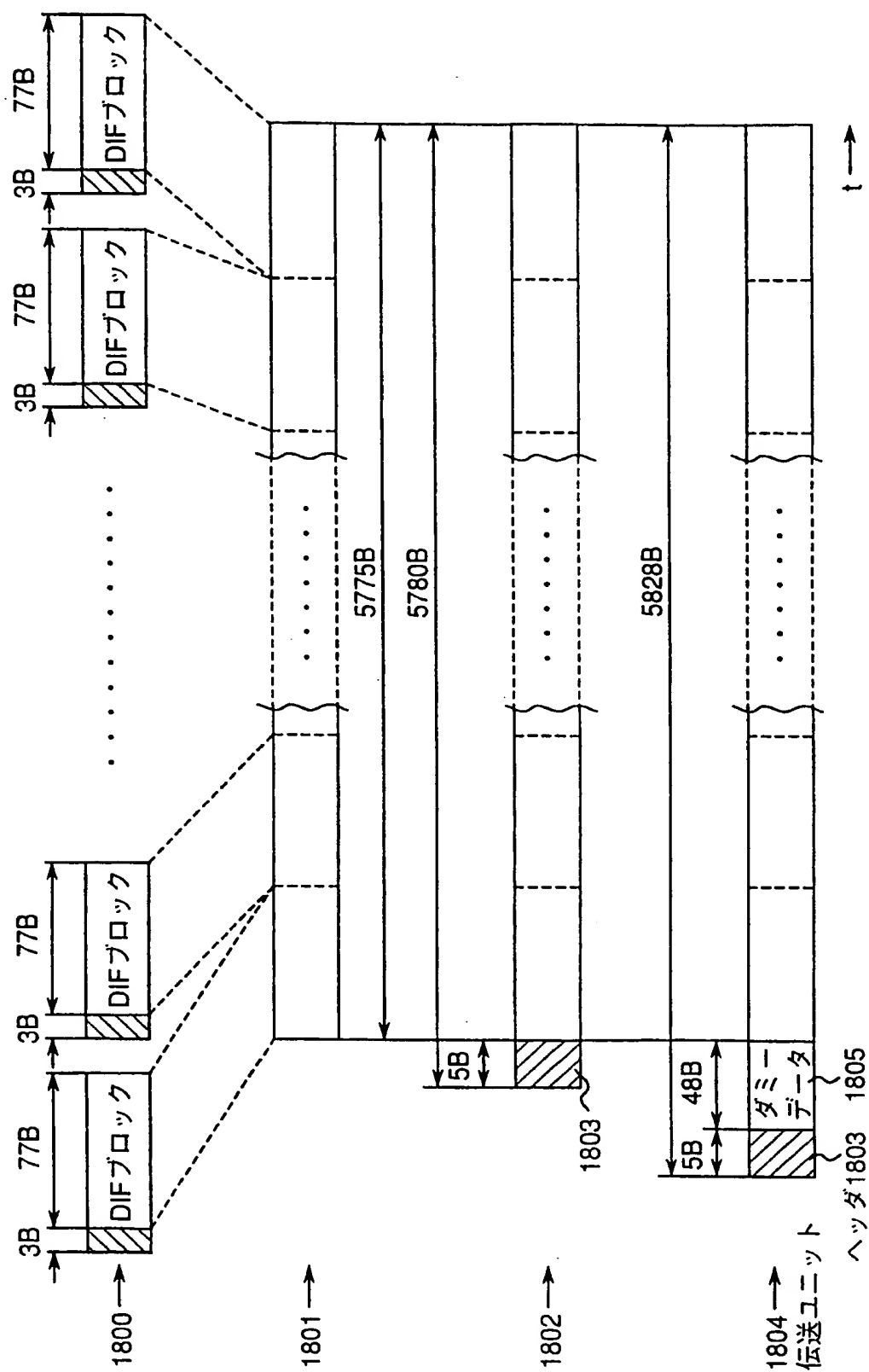
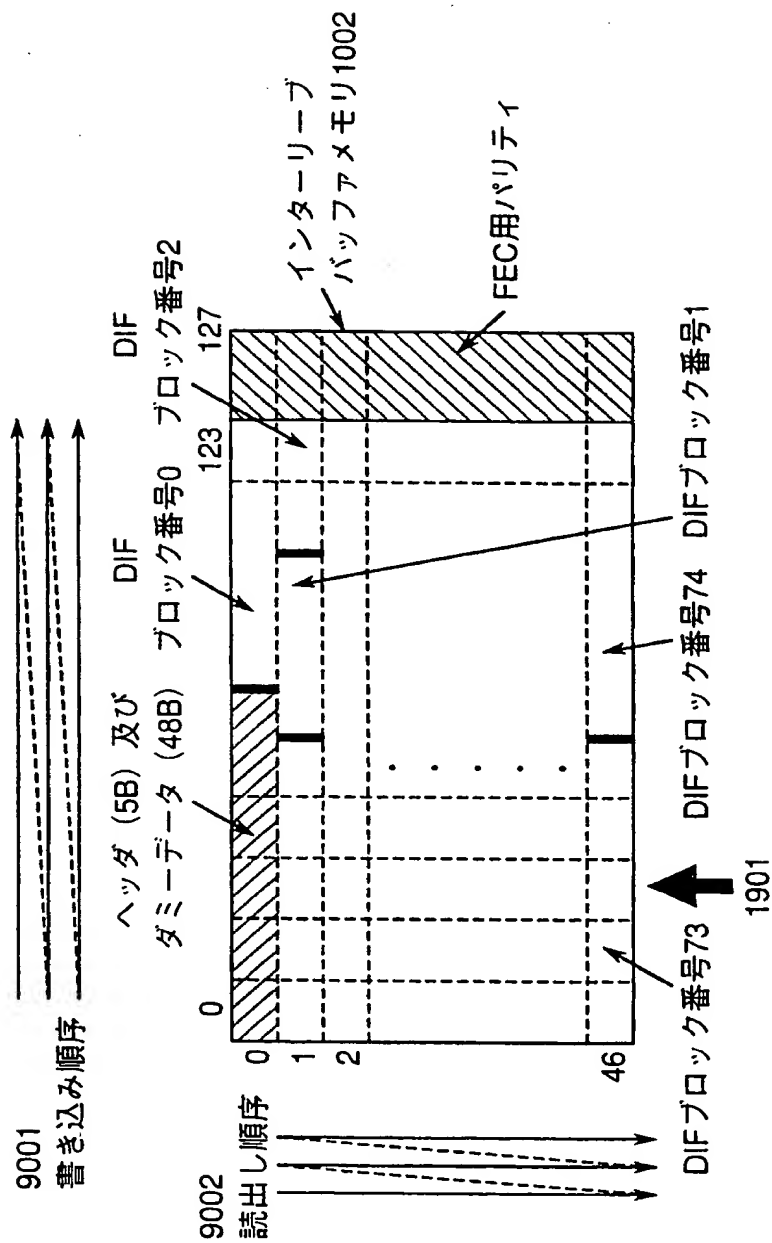
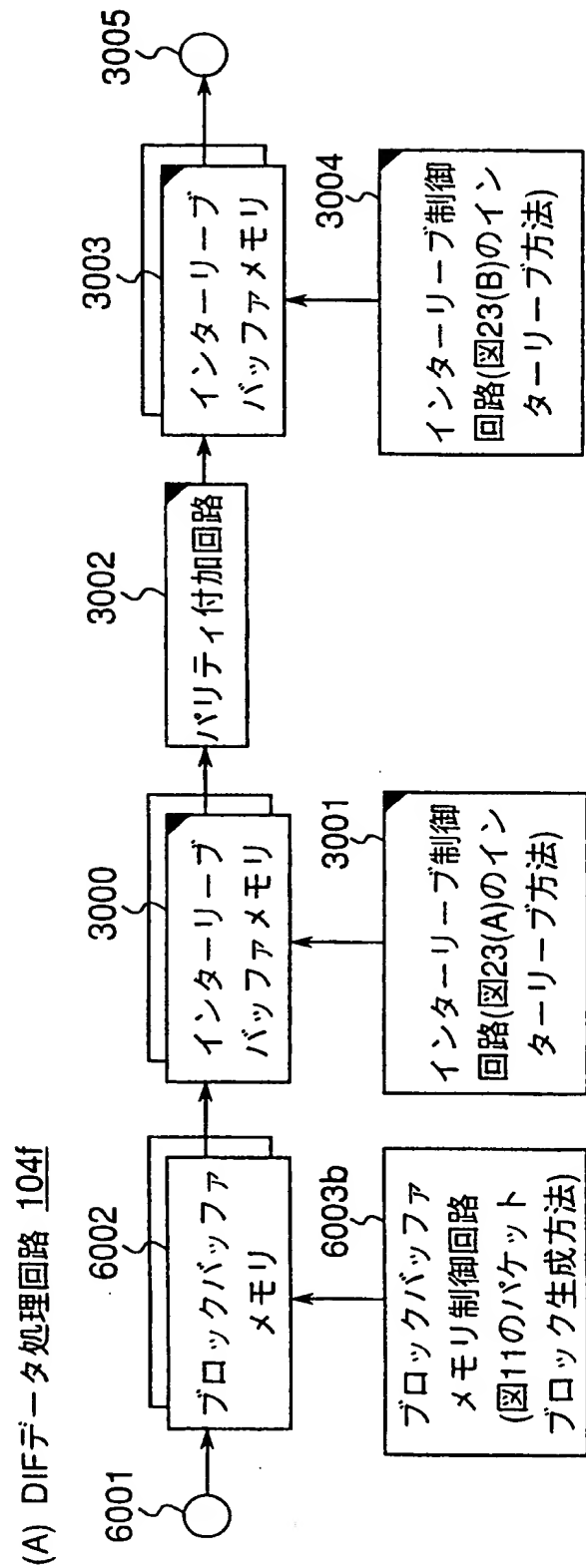
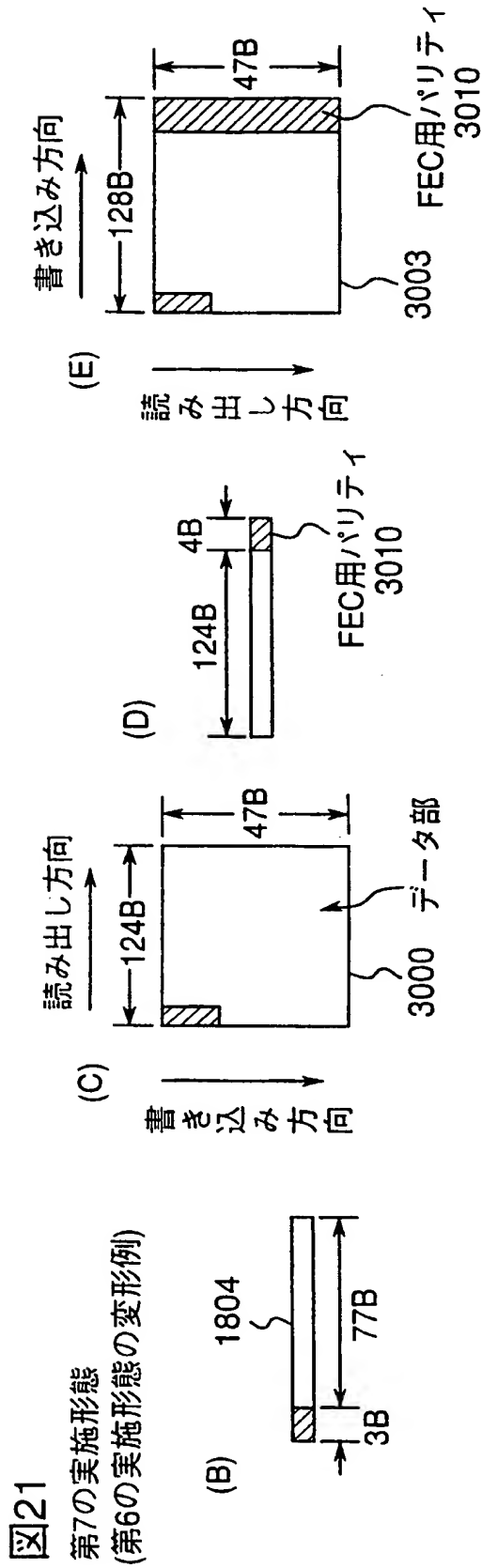


図20

第6の実施形態





第7の実施形態



第7の実施形態

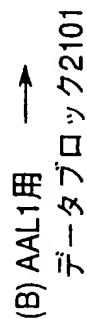
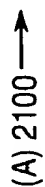


図24

第7の実施形態

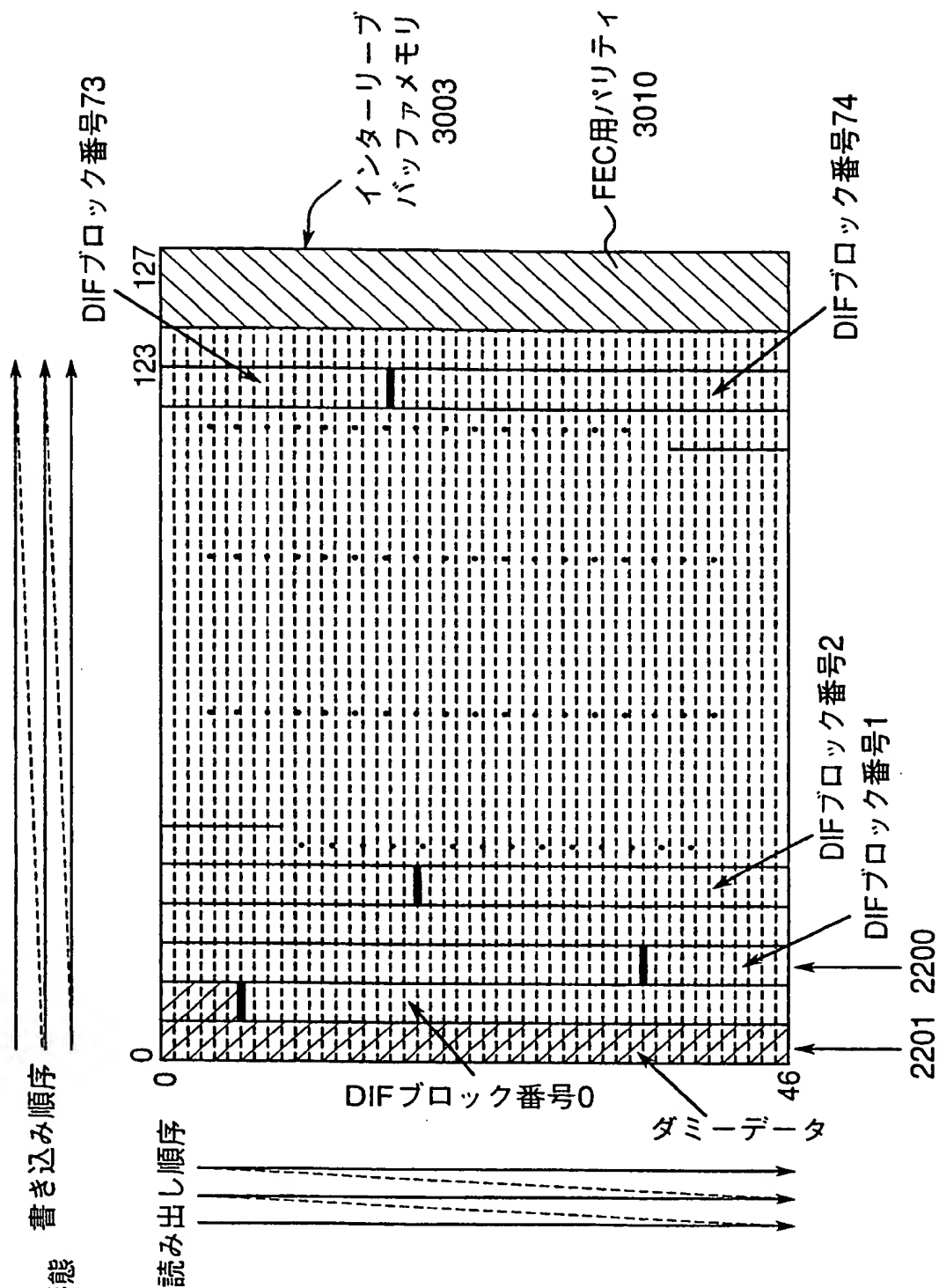


図25
第7の実施形態

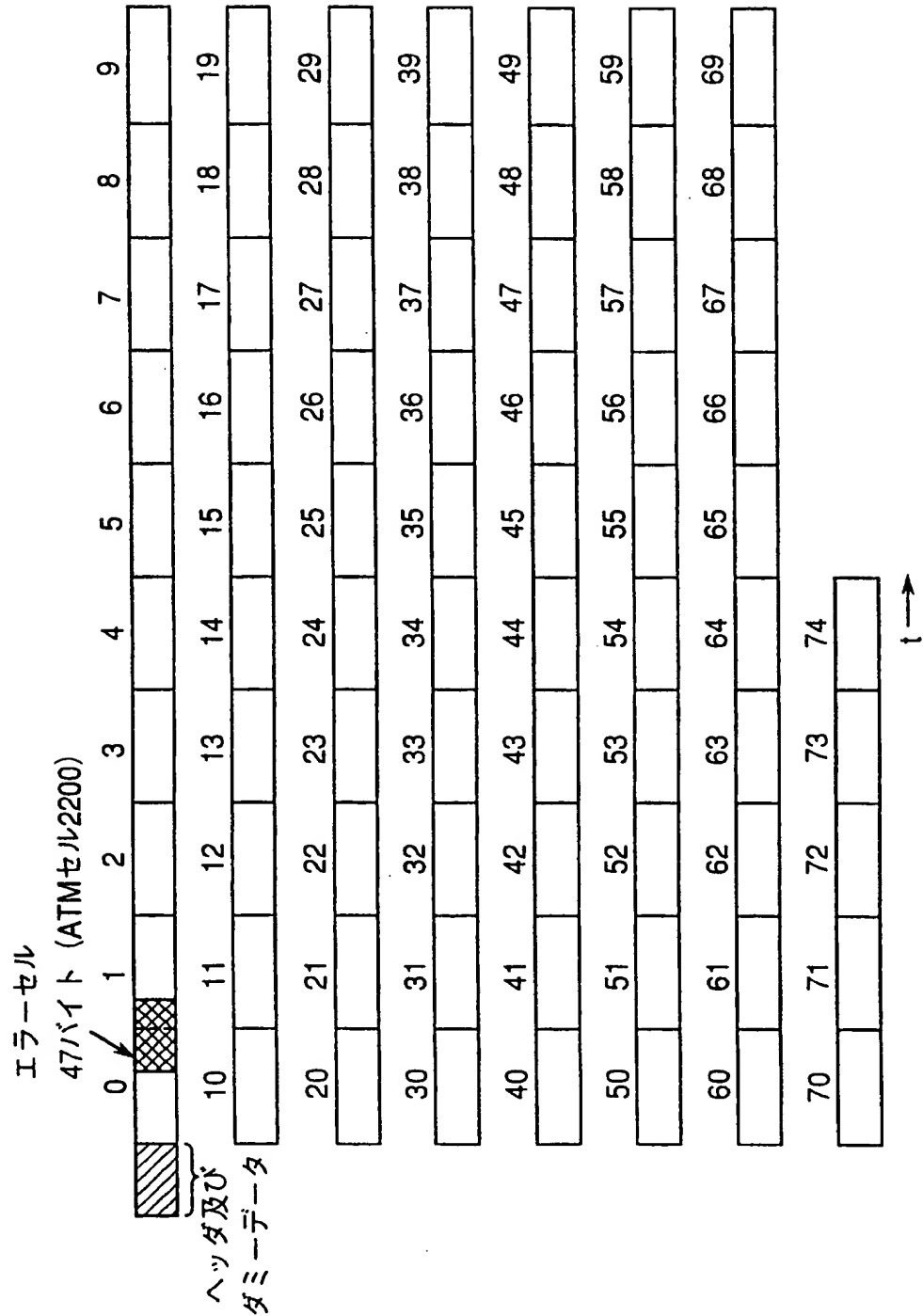


図26

第8の実施形態
(第7の実施形態の変形例)

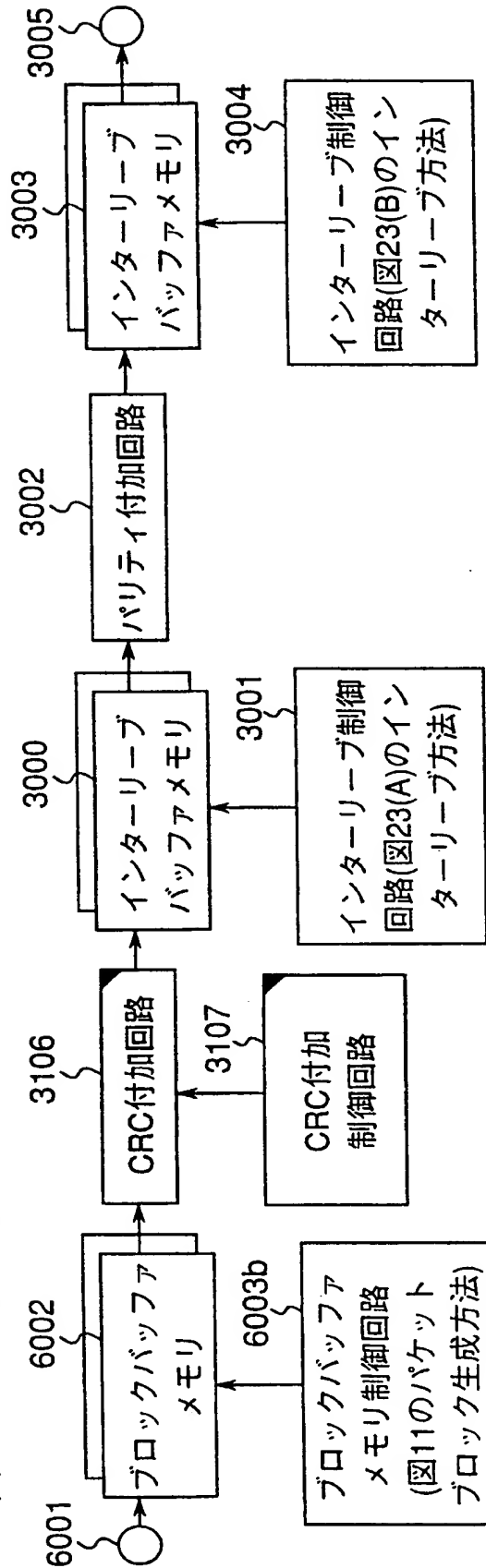
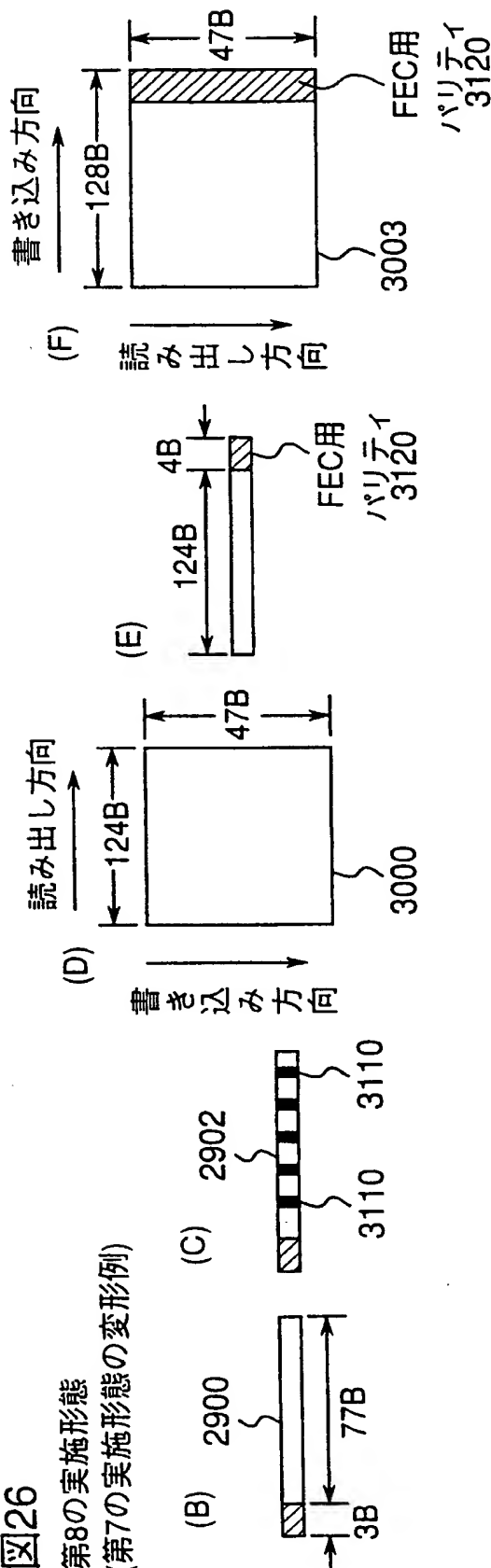
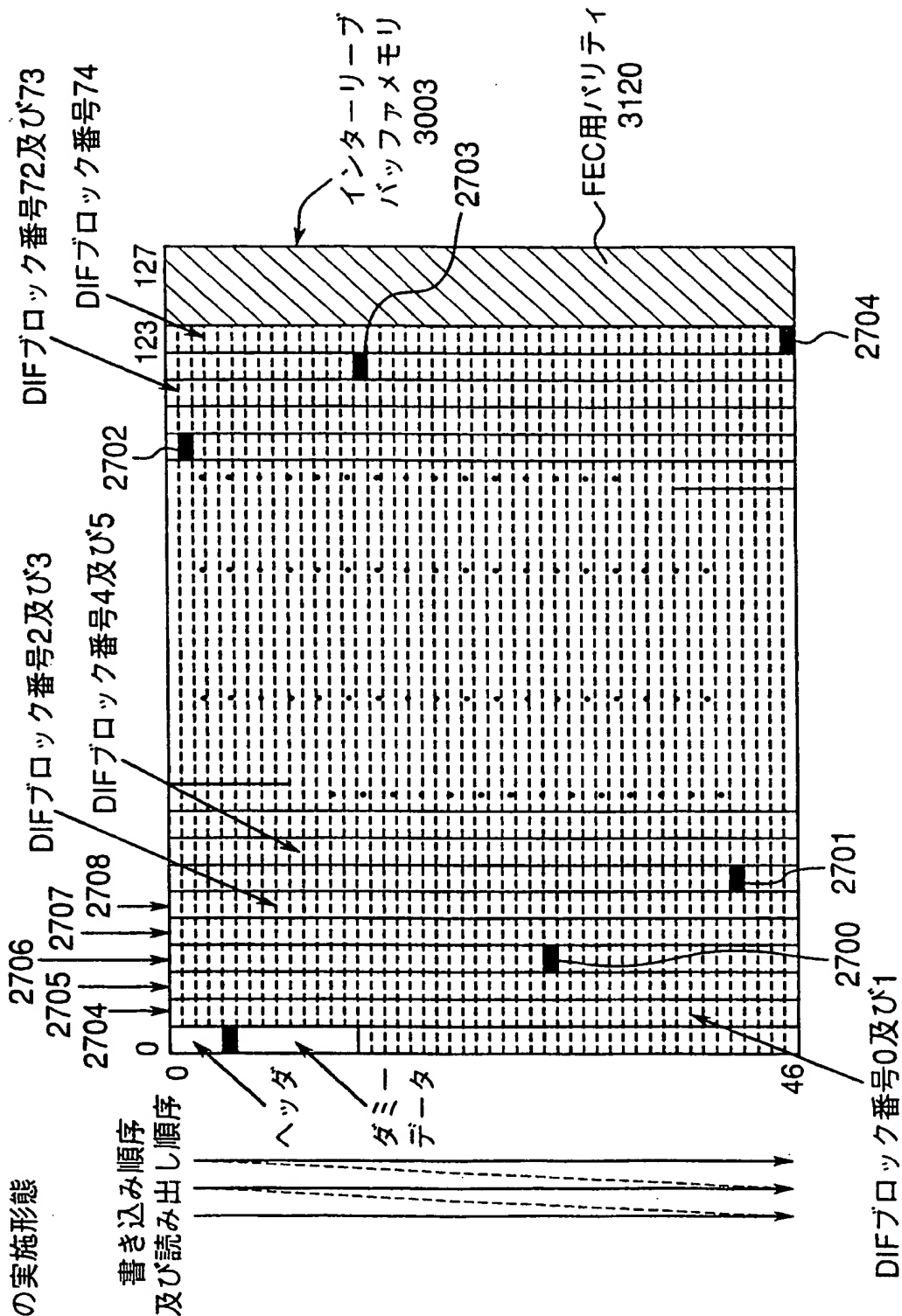
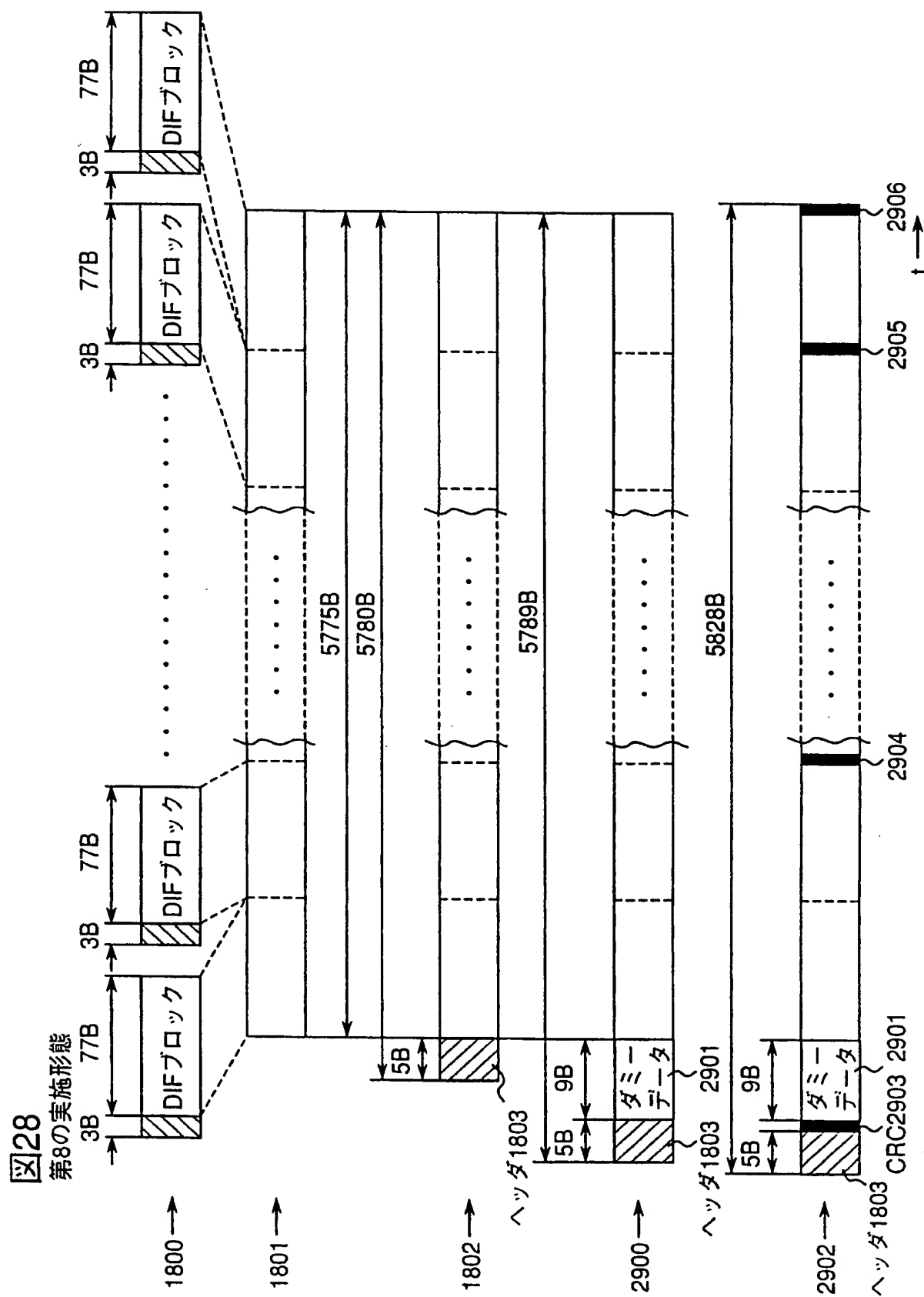


図27

第8の実施形態

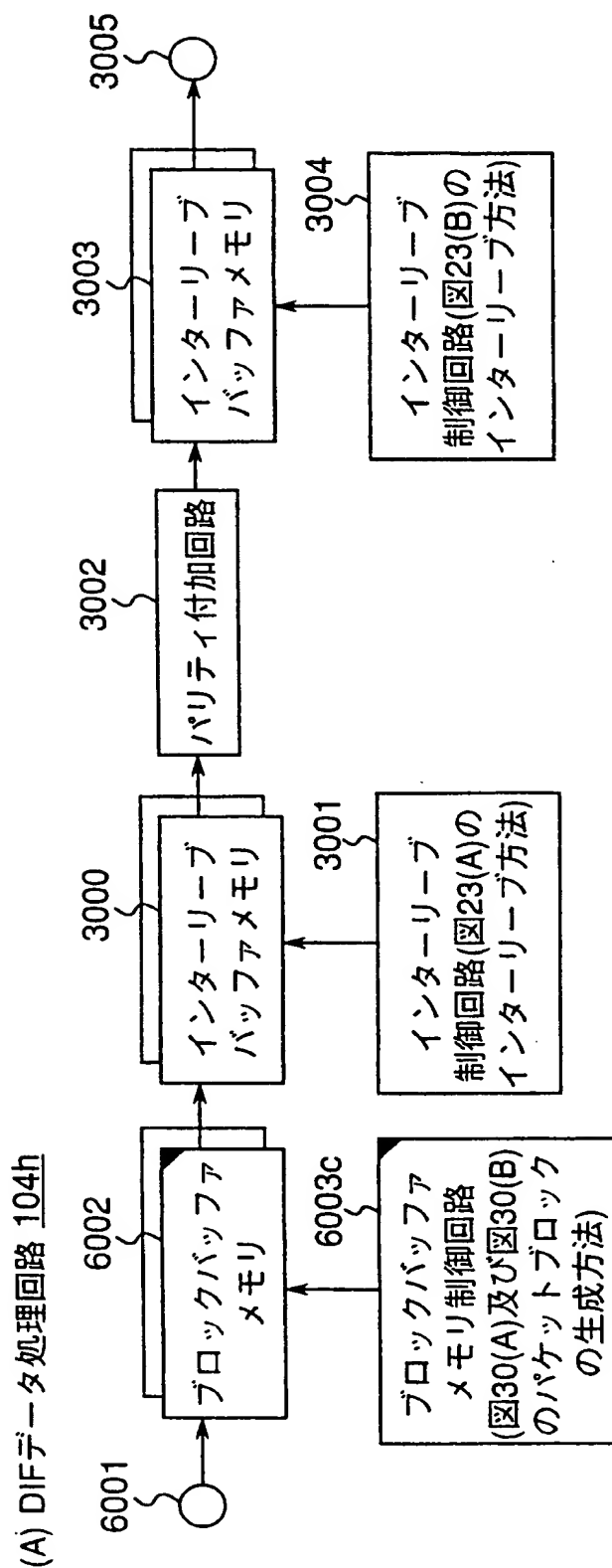
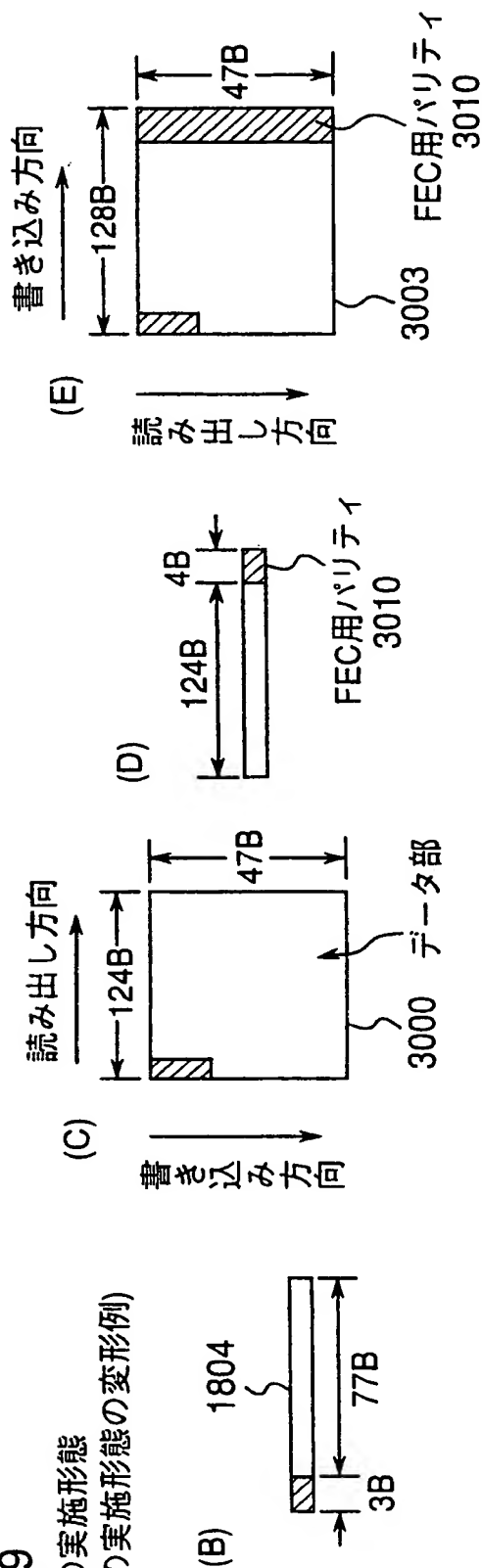




29

第9の実施形態

(第7の実施形態の変形例)



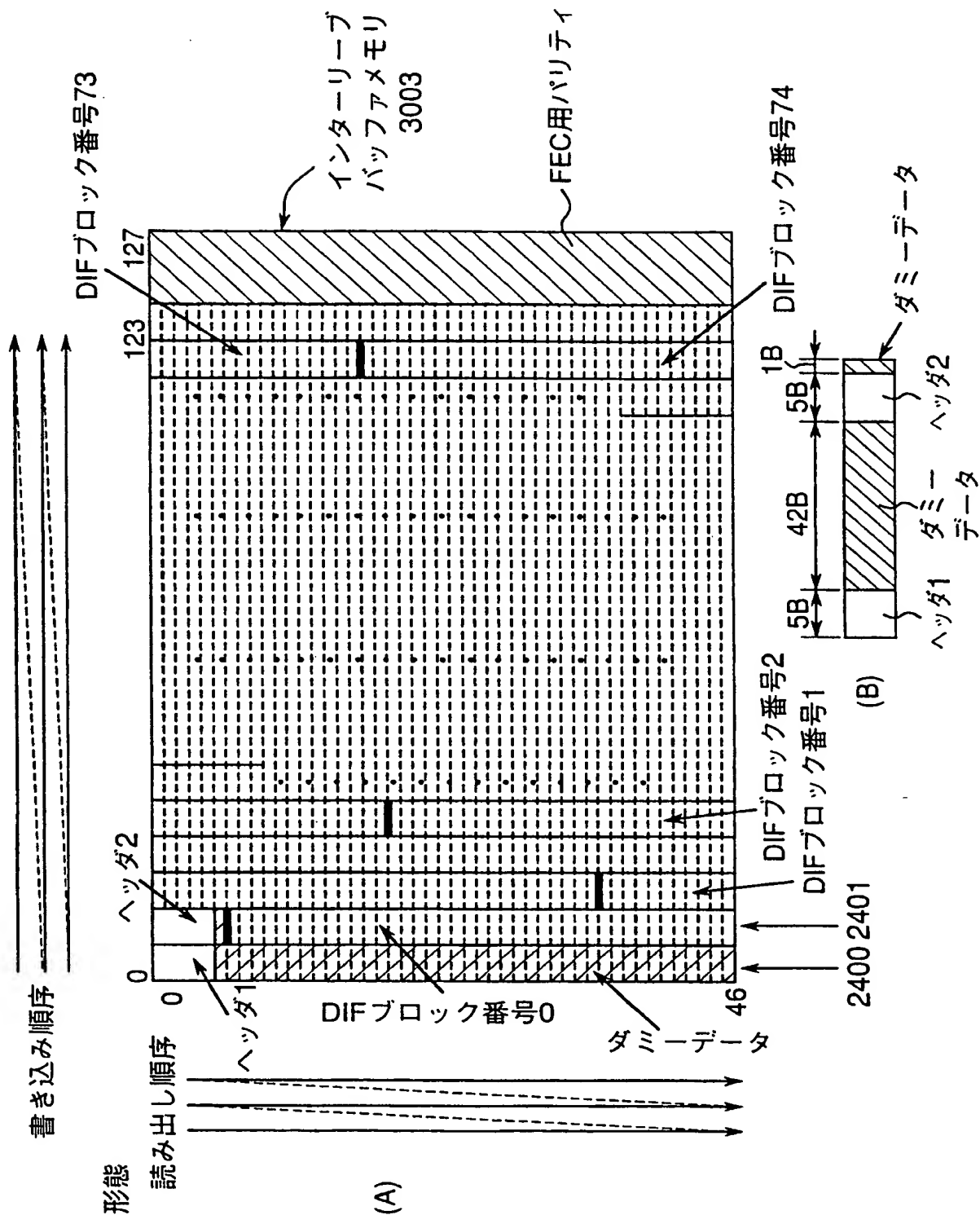
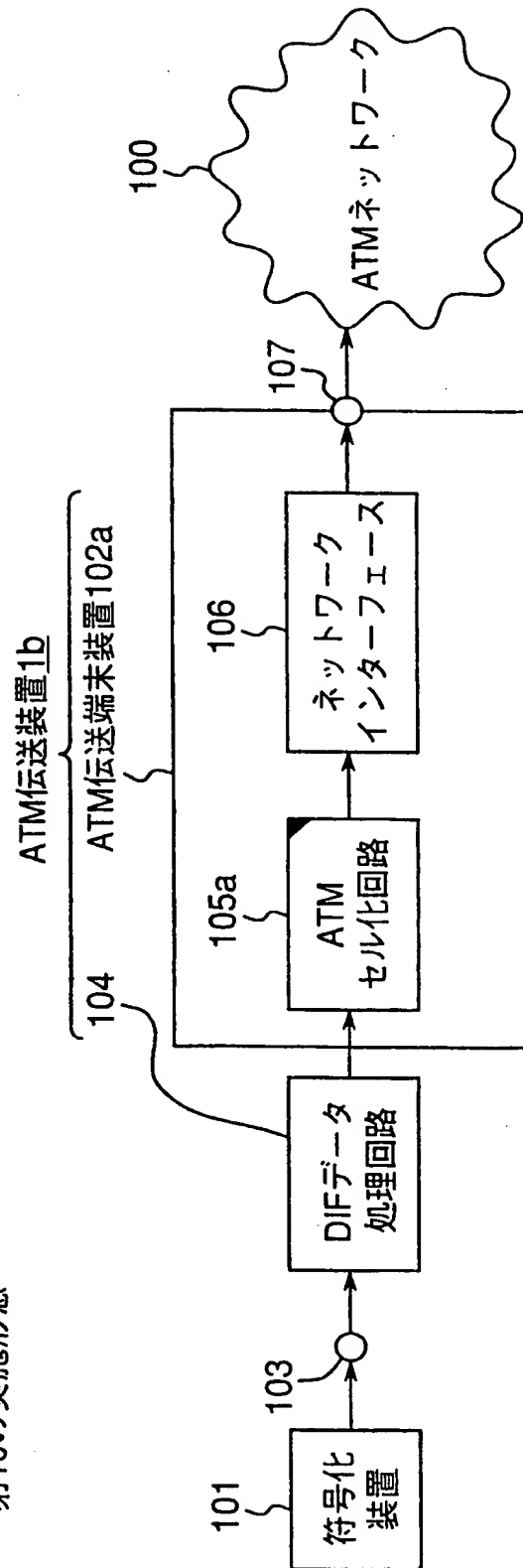


図31
第10の実施形態



32

第10の実施形態

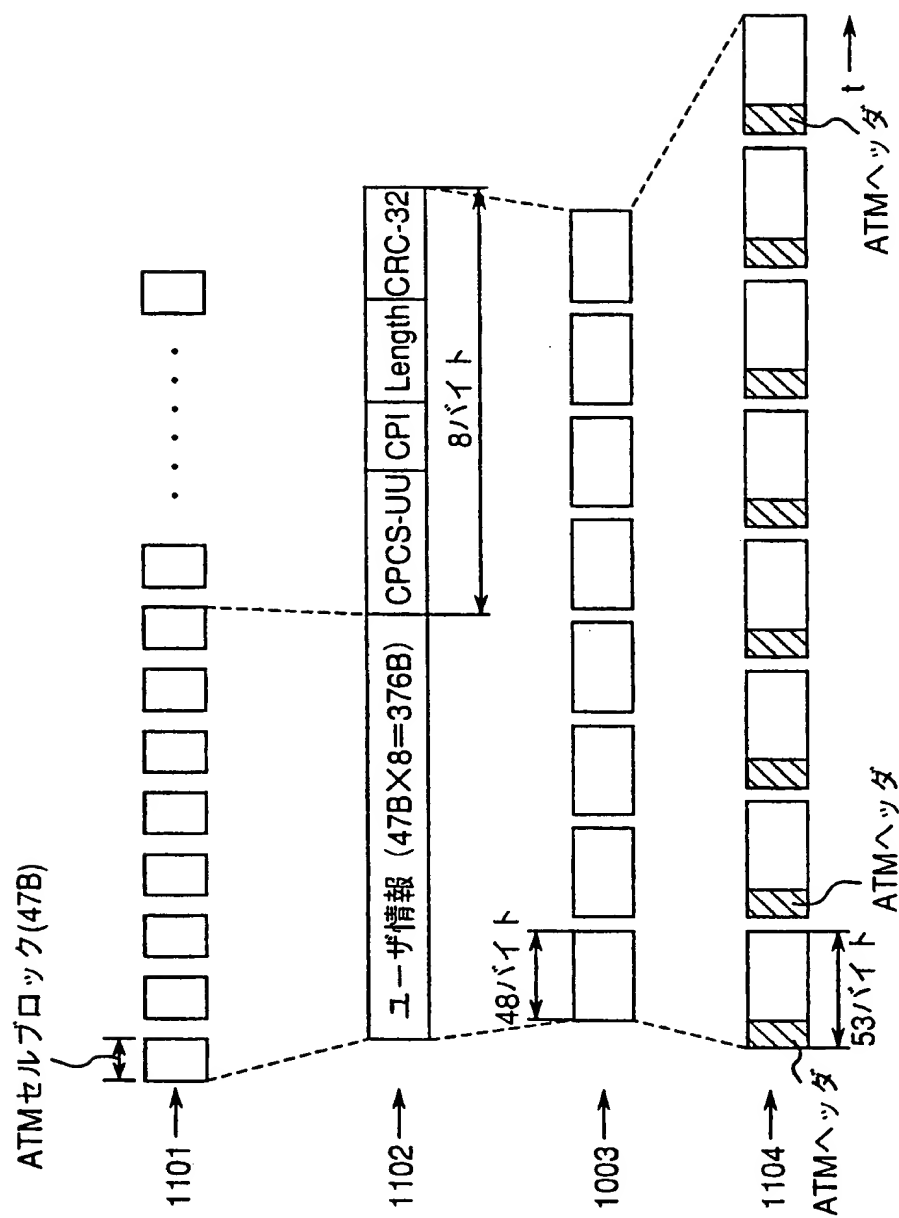


図33

第11の実施形態

DIFデータ処理回路104i

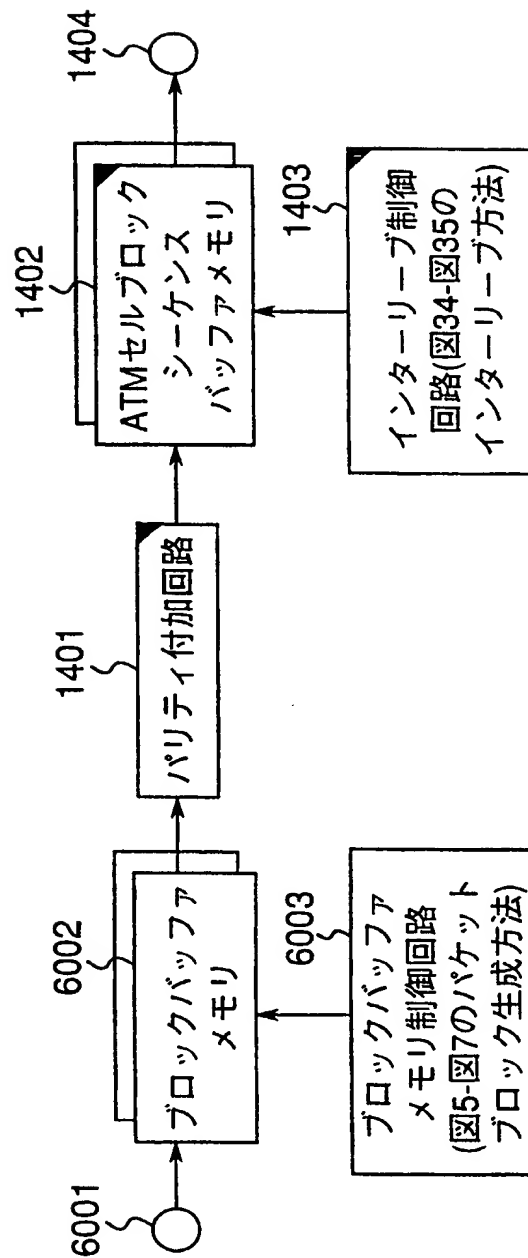


図34

第11の実施形態

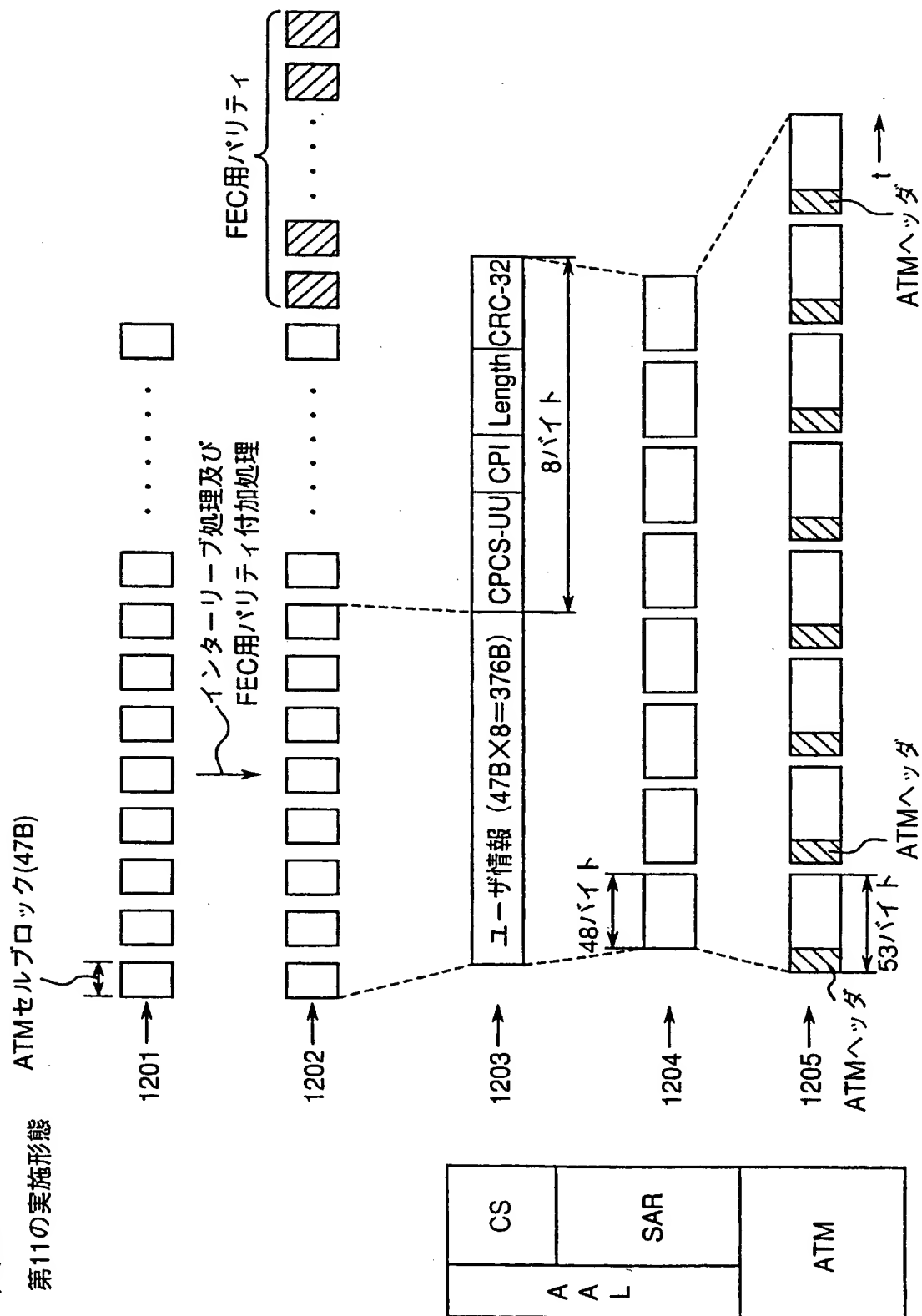
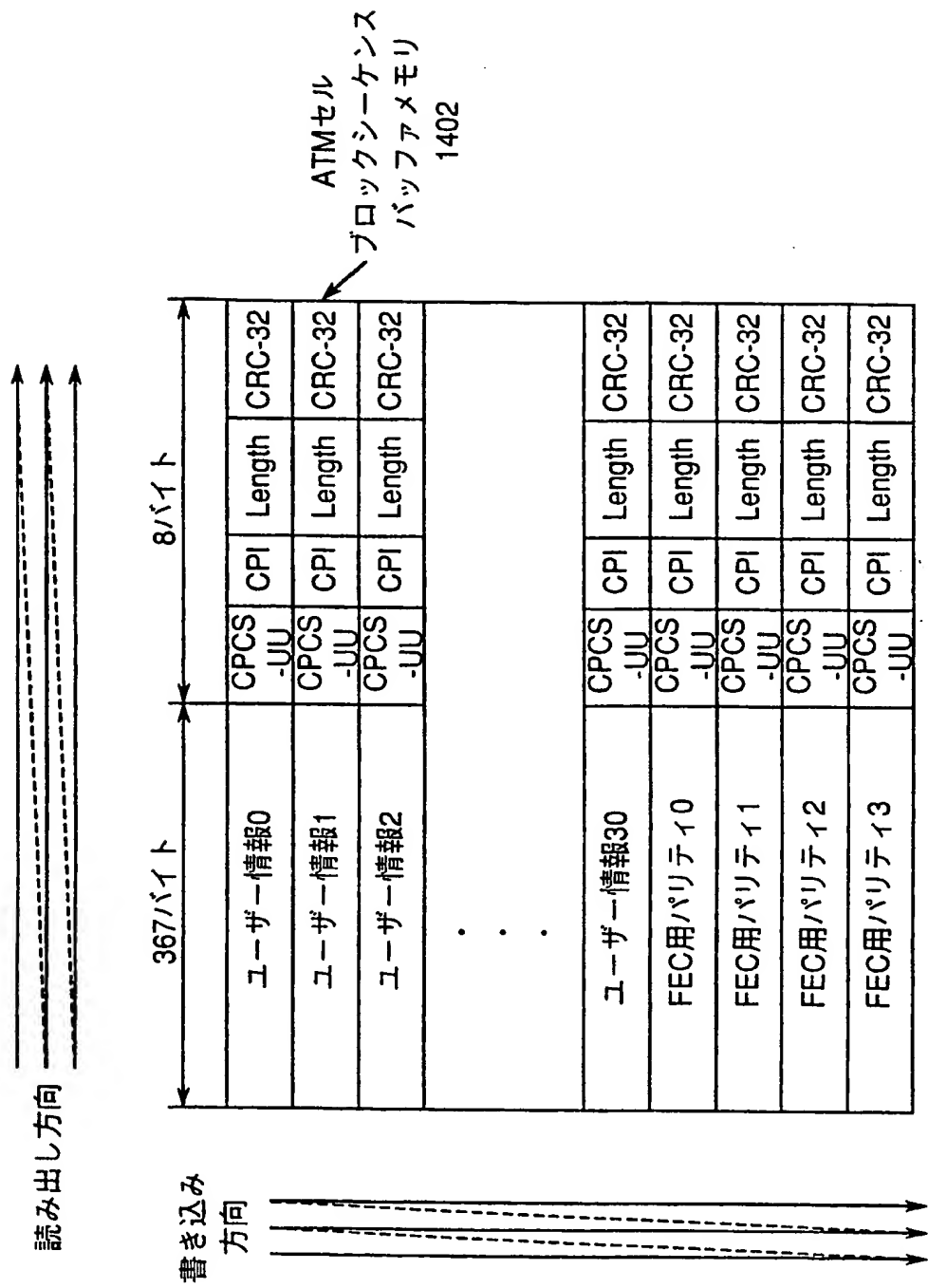


図35

第11の実施形態



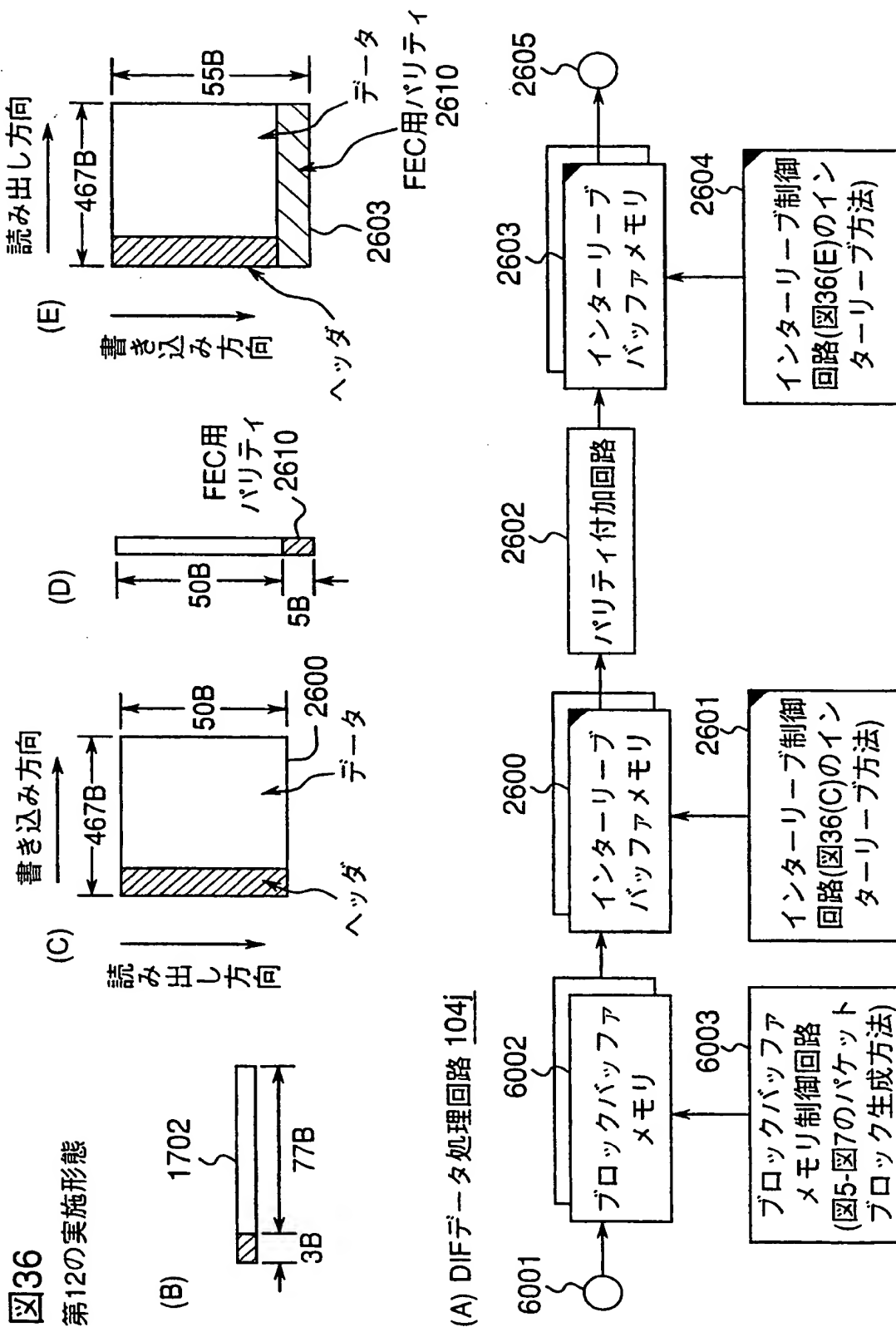
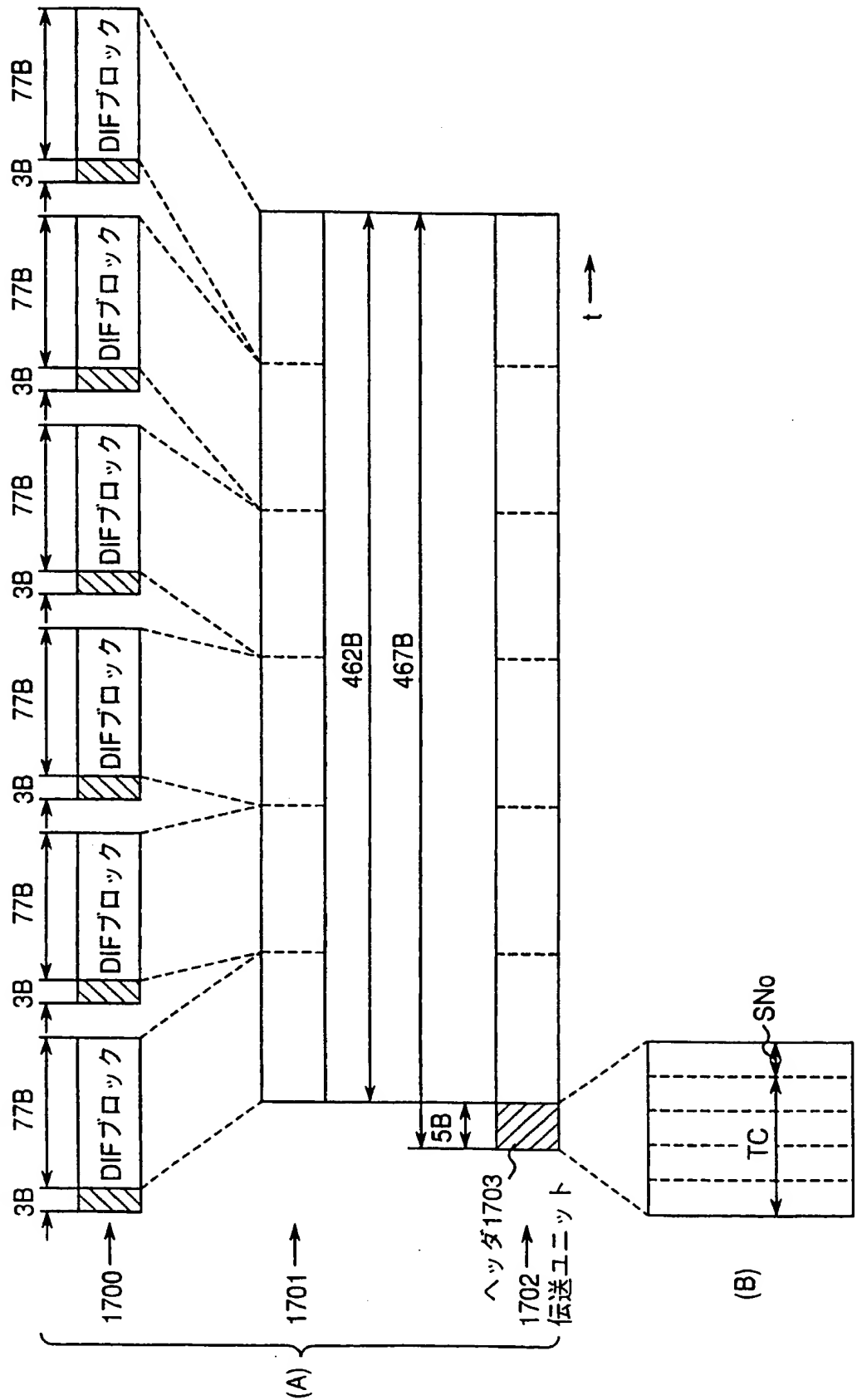


図37

第12の実施形態



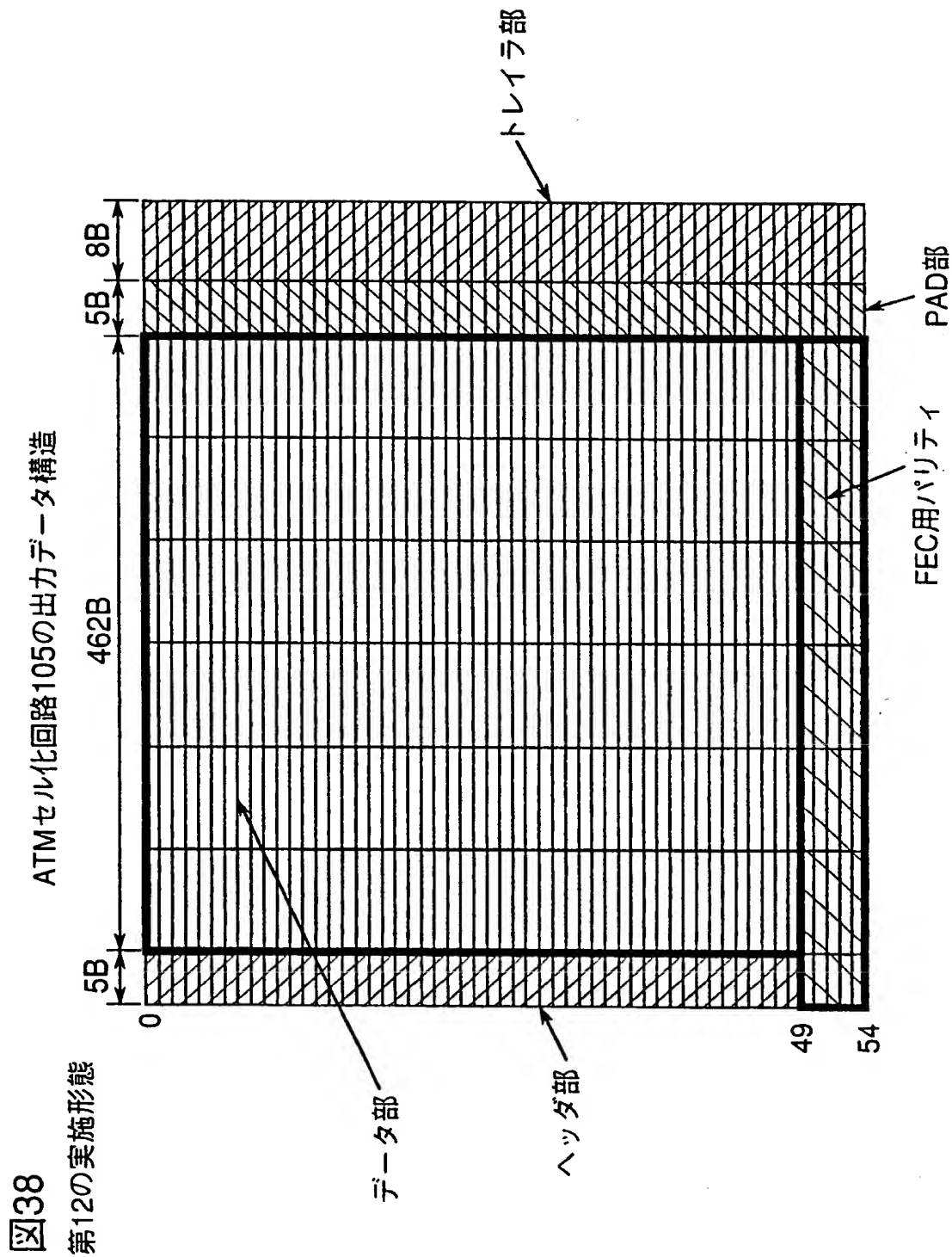


図39
第13の実施形態

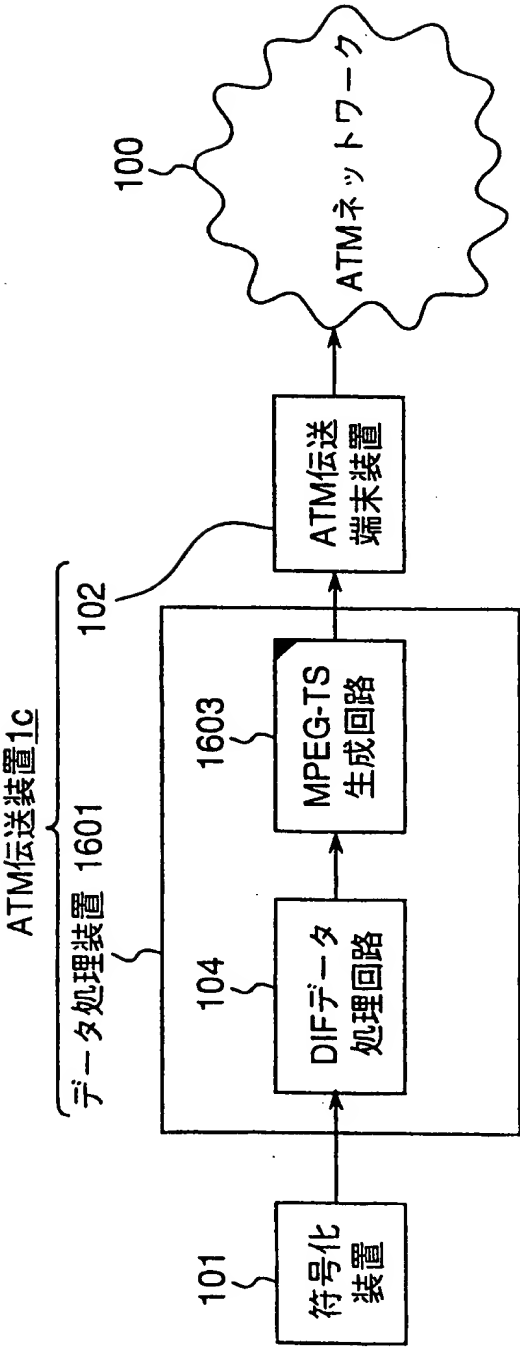
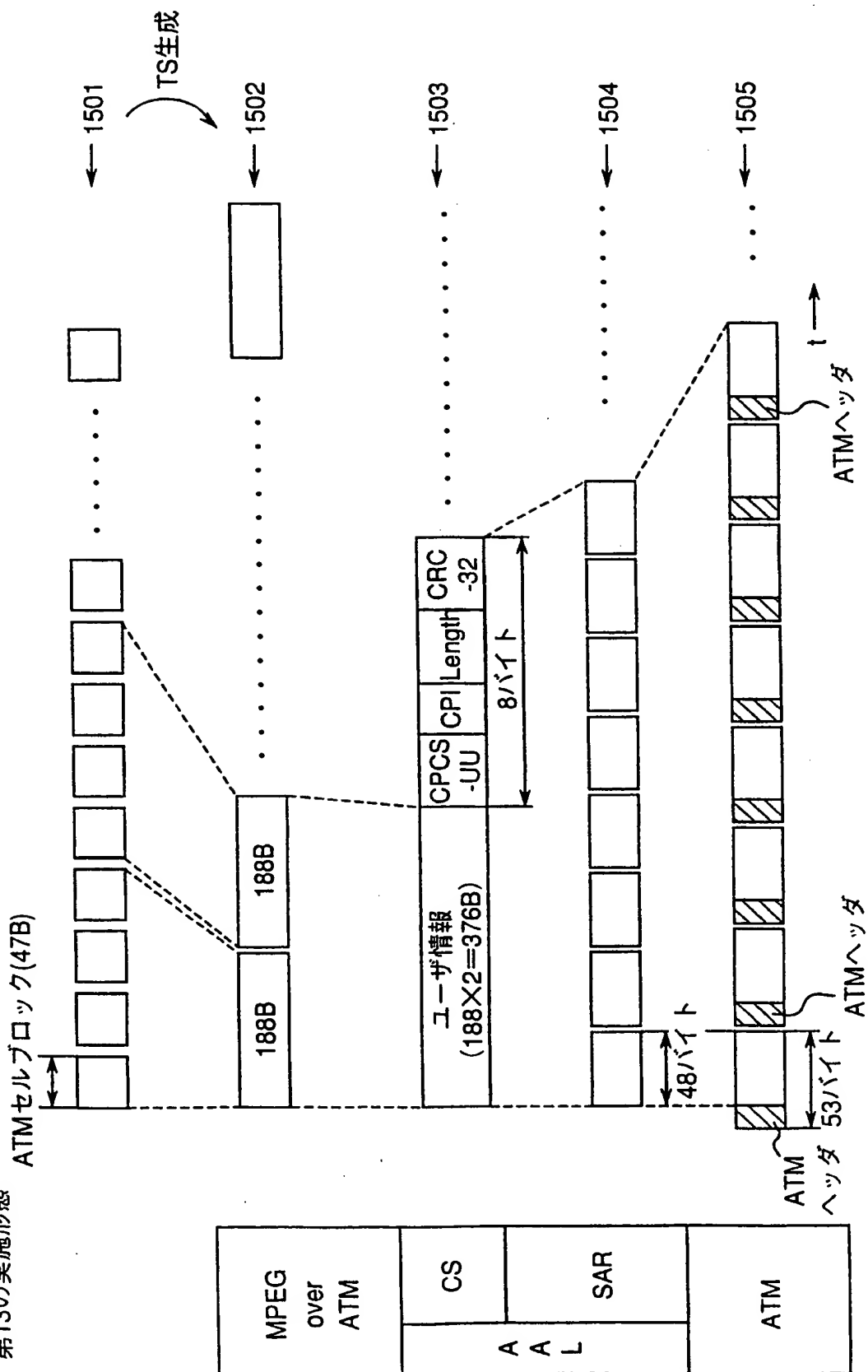


図40

第13の実施形態



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/02101

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁶ H04L12/28		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁶ H04L12/28, H04L12/56, H03M13/00-13/22		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926-1998 Toroku Jitsuyo Shinan Koho 1994-1998 Kokai Jitsuyo Shinan Koho 1971-1998 Jitsuyo Shinan Toroku Koho 1996-1998		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP, 08-307859, A (Hitachi, Ltd.), November 22, 1996 (22. 11. 96) (Family: none)	10, 14, 17 1-7, 11-13, 15, 16, 18-20
Y A	JP, 07-312561, A (Sansei Denshi K.K.), November 28, 1995 (28. 11. 95) & US, 5430767, A	10, 14, 17 8, 9, 11, 16, 17
A	JP, 61-242426, A (Nippon Telegraph & Telephone Corp.), October 28, 1986 (28. 10. 86) (Family: none)	8-11, 14, 16, 17
A	Naotaka Morita, "Problem Involved in MPEG2 Transfer in ATM (in Japanese)", Fall Meeting on IEICE SB-9-3 September 5, 1994 (05. 09. 94)	6, 7, 12, 13, 18, 20
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search August 7, 1998 (07. 08. 98)		Date of mailing of the international search report August 18, 1998 (18. 08. 98)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/02101

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Sakae Okubo, "Encoding of MPEG-2 Image and Application to ATM Network (in Japanese)", Technical Research Report of IEICE CS-93-164 January 27, 1994 (27. 01. 94)	6, 7, 12, 13, 18, 20

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 61-242426, A (日本電信電話株式会社) 28. 10月. 1986 (28. 10. 86) (ファミリーなし)	8-11, 14, 16, 17
A	電子情報通信学会秋季全国大会講演論文集 SB-9-3 05. 09月. 1994 (05. 09. 1994) 森田直孝 「ATMにおけるMPEG 2 転送の課題」	6, 7, 12, 13, 18, 20
A	電子情報通信学会技術研究報告 CS93-164 27. 01月. 1994 (27. 01. 94) 大久保 栄 「MPEG-2 映像符号化と ATMネットワークへの応用」	6, 7, 12, 13, 18, 20